



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I446719 B

(45) 公告日：中華民國 103 (2014) 年 07 月 21 日

(21) 申請案號：100116148

(22) 申請日：中華民國 100 (2011) 年 05 月 09 日

(51) Int. Cl. :

*H03K5/13 (2014.01)**H03L7/081 (2006.01)*

(71) 申請人：澳門大學 (中國大陸) UNIVERSITY OF MACAU (CN)

澳門

(72) 發明人：魏和功 WEI, HE-GONG (CN)；趙汝法 CHIO, U-FAT (MO)；冼世榮 SIN, SAI-WENG (MO)；余成斌 U, SENG-PAN (MO)；馬 許願 MARTINS, RUI PAULO DA SILVA (PT)

(74) 代理人：林志剛

(56) 參考文獻：

US 6839011B1

A Process- and Temperature- insensitive Current- Controlled Delay Generator for Sampled-Data Systems

審查人員：陳臆聰

申請專利範圍項數：4 項 圖式數：9 共 0 頁

(54) 名稱

延遲產生器

DELAY GENERATOR

(57) 摘要

一種延遲產生器包含：一電流源，用以供應電流；一第一延遲部，其連接至該電流源，該第一延遲部包含至少複數反相器和一具有第一電容值之第一電容；及一第二延遲部，其連接至該電流源，該第二延遲部包含至少複數反相器和一具有第二電容值之第二電容，其中該第一電容值係相同於該第二電容值，其中該第一延遲部係藉由該第一電容之放電以產生第一延遲，其中該第二延遲部係藉由該第二電容之充電以產生第二延遲，及其中由該延遲產生器所產生之總延遲係藉由該第一延遲與該第二延遲之相加而獲得。

A delay generator comprises: a current source for supplying a current; a first delay portion, connected to the current source, comprising at least a plurality of inverters and a first capacitor having a first capacitance; and a second delay portion, connected to the current source, comprising at least a plurality of inverters and a second capacitor having a second capacitance, wherein the first capacitance is the same as the second capacitance, wherein the first delay portion generates a first delay by discharging of the first capacitor, wherein the second delay portion generates a second delay by charging of the second capacitor, and wherein the total delay generated by the delay generator is obtained by summation of the first delay and the second delay.

- 200 . . . 延遲產生器
- 210 . . . 電流源
- 220 . . . 第一延遲部
- 230 . . . 第二延遲部

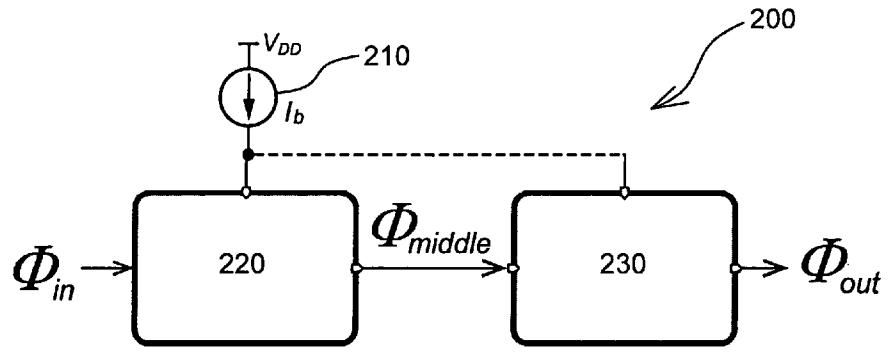


圖2

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100116148

※申請日：100年05月09日

※IPC分類：

H03K 5/13

(2014.01)

H03L 7/081

(2006.01)

一、發明名稱：(中文/英文)

延遲產生器

Delay generator

二、中文發明摘要：

一種延遲產生器包含：一電流源，用以供應電流；一第一延遲部，其連接至該電流源，該第一延遲部包含至少複數反相器和一具有第一電容值之第一電容；及一第二延遲部，其連接至該電流源，該第二延遲部包含至少複數反相器和一具有第二電容值之第二電容，其中該第一電容值係相同於該第二電容值，其中該第一延遲部係藉由該第一電容之放電以產生第一延遲，其中該第二延遲部係藉由該第二電容之充電以產生第二延遲，及其中由該延遲產生器所產生之總延遲係藉由該第一延遲與該第二延遲之相加而獲得。

三、英文發明摘要：

A delay generator comprises: a current source for supplying a current; a first delay portion, connected to the current source, comprising at least a plurality of inverters and a first capacitor having a first capacitance; and a second delay portion, connected to the current source, comprising at least a plurality of inverters and a second capacitor having a second capacitance, wherein the first capacitance is the same as the second capacitance, wherein the first delay portion generates a first delay by discharging of the first capacitor, wherein the second delay portion generates a second delay by charging of the second capacitor, and wherein the total delay generated by the delay generator is obtained by summation of the first delay and the second delay.

四、指定代表圖：

(一) 本案指定代表圖為：第(2)圖。

(二) 本代表圖之元件符號簡單說明：

200：延遲產生器

210：電流源

220：第一延遲部

230：第二延遲部

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種延遲產生器。更明確地，係有關一種具有臨限電壓補償之製程不敏感的電流控制延遲產生器。

【先前技術】

結合資料轉換及開關電容過濾器的取樣資料系統是當代 IC 設計中不可或缺的，且針對諸如電訊、消費電子產品及醫療成像等應用是很重要的。於此等離散時間系統中，時鐘產生器是極重要的，且時鐘信號之準確度在整體設計中是很關鍵的，因為其經常影響整體解析度。然而，時鐘脈衝寬度之變化無可避免地存在且一般是關聯與延遲路徑中之製程或溫度變化。通常，在電晶體實施方式中應採用大的設計容限以克服此等製程變化。不幸地，隨著系統效能之後續退化，此方式意味著額外的功率耗損。

因此，對於製程不敏感的延遲產生器有高度的需求，且無論晶片外或晶片上均已提議了有效的解決方案。

傳統上，延遲產生器係由反相器鏈（亦稱為 g_m/C 電路）來實施，反相器鏈係累積反相器之時間延遲並提供時間延遲給系統。雖然其架構相當簡單，但缺點是顯著的製程變化敏感度，其可能導致時間延遲上顯著的 $\pm 15\%$ 變化。

先前已提議了一種替代的解決方案（即，電流控制的延遲產生器）以利用對製程較不敏感的電路元件來達成較高的製程不敏感度。圖 1a 係概略地顯示一種簡化的延遲產

生器，其基本上含有電流源、電容、開關、及輸出緩衝器等；而圖 1b 則顯示圖 1a 之延遲產生器的輸入和輸出波形。電容 C 之頂板被首先充電至電壓供應 VDD 且 Φ_{out} 保持在高 (HIGH) 位準。接著，電容 C 係由一恆定電流 I_b (其係由電流源所控制) 線性地放電，而因此產生一延遲 t_d 。

為計算延遲 t_d ，首先參考下列等式：

$$i = C \frac{dV_C}{dt} \quad (1)$$

在線性情況下， $dt \approx \Delta t$ 且 $dV_C \approx \Delta V_C$ ，

因此，當 $i = I_b$ 時，可得

$$\Delta t = C \frac{\Delta V_C}{I_b} = t_d \quad (2)$$

其中 ΔV_C 等於 $V_{DD} - V_{th}$ (V_{th} 為連接至 V_C 之反相器的臨限電壓)。

電流 I_b 係由電流源所提供且其準確度主要是關聯與電流鏡和參考電流之精確度。其通常是準確的，且電流鏡相當容易設計並具有良好的匹配。因此，電流將不會顯著地受製程變化所影響。此外，採用 MOS 電容以確保對於製程變化之較不敏感度，當與其他型式的電容實施方式比較時。一般而言，MOS 電容係隨著製程而變化於 $\pm 15\%$ 左右。

然而，圖 1a 之延遲產生器對於製程變化仍是敏感的，主要是由於其連接至電容之反相器的臨限電壓變化。當 V_C 減少時，反相器將被觸發以產生延遲 t_d 直到 V_C 通過臨限電壓 V_{th} ，其係取決於 N/PMOS 電晶體之強韌度且是高度製程敏感的。

【發明內容】

有鑑於上述問題，本發明之一目的係提供一種使用諸如電流鏡和MOS電容等製程不敏感組件之先進的電流控制延遲產生器，藉此避免延遲鎖定迴路（DLL）之複雜度。藉由利用臨限電壓補償，本發明之延遲產生器減少了由內部反相器緩衝器所引發之偏移，而因此變得較習知技術更能容忍製程變化。

依據本發明之一形態，一種延遲產生器包含：一電流源，用以供應電流；一第一延遲部，其連接至該電流源，該第一延遲部包含至少複數反相器和一具有第一電容值之第一電容；及一第二延遲部，其連接至該電流源，該第二延遲部包含至少複數反相器和一具有第二電容值之第二電容，其中該第一電容值係相同於該第二電容值，其中該第一延遲部係藉由該第一電容之放電以產生第一延遲，其中該第二延遲部係藉由該第二電容之充電以產生第二延遲，及其中由該延遲產生器所產生之總延遲係藉由該第一延遲與該第二延遲之相加而獲得。

依據本發明之上述形態，該總延遲係由該電流和該第一電容值所決定。

依據本發明之上述形態，該第一延遲部進一步包含二開關，其將由相反的輸入時鐘來打開。

依據本發明之上述形態，該第二延遲部進一步包含二開關，其將由相反的輸入時鐘來打開。

【實施方式】

參考圖形以描述一種依據本發明之延遲產生器的較佳實施例。

首先參考圖 2，其示出依據本發明之電流控制延遲產生器 200 的實施例。於本實施例中，延遲產生器 200 包含一電流源 210、一第一延遲部 220 及一第二延遲部 230。電流源 210 提供電流 I_b 至第一延遲部 220 以及第二延遲部 230。一輸入時鐘 Φ_{in} 被饋送入第一延遲部 220，並產生一具有相對於該時鐘 Φ_{in} 之延遲 t_{d1} 的輸出時鐘 Φ_{middle} 。接下來，該時鐘 Φ_{middle} 被饋送入第二延遲部 230，並產生一具有相對於該時鐘 Φ_{middle} 之延遲 t_{d2} 的輸出時鐘 Φ_{out} 。結果，由延遲產生器 200 所產生之總延遲 t_{dtotal} 被獲得為 $t_{d1} + t_{d2}$ 。一顯示該總延遲 $t_{dtotal} = t_{d1} + t_{d2}$ 之概圖係顯示於圖 3。由延遲產生器 200 所產生之總延遲 t_{dtotal} 對於製程變化是不敏感的，因為當產生 t_{d1} 時所引發之製程變化與當產生 t_{d2} 時所引發之製程變化將相互補償。以下將描述用以達成依據本發明之製程變化的補償效果之進一步細節。

圖 4 之電路代表延遲產生器 200 之一較佳實施例。如圖所示，延遲產生器 200 係由第一延遲部 220 和第二延遲部 230 所構成。雖然，於圖 4 中，電流源 210 係顯示為包括於第一延遲部 220 中，但電流 I_b 亦可透過偏壓點 V_{bn} 而被提供至第二延遲部 230。

第一延遲部 220 之操作可被劃分為兩階段。於第一階

段，時鐘 Φ_{in} 係從低（LOW）變為高（HIGH），則開關 S1 被斷開（關閉）而開關 S2 被閉合（開啓）。因此，暫態電流將對電容 C1 充電直到電容 C1 之頂板電壓 V_{C1} 達到 VDD。接下來，於第二階段，時鐘 Φ_{in} 係從高（HIGH）變為低（LOW），則開關 S1 被閉合（開啓）而開關 S2 被斷開（關閉）。因為 V_{C1} 已被充電至 VDD，所以電壓 V_{tr1} （其係從接續於 V_{C1} 之兩反相器後所獲得）亦將為 VDD。因此，M3 便接合且放電電流開始流動。由 M1 和 M2 所構成之電流鏡使得放電電流等於 I_b 。儲存於電容 C1 之頂板上的電荷係經由 S1、M3 和 M2 而流至接地，因此電壓 V_{C1} 開始下降。當 V_{C1} 達到反相器之臨限電壓 V_{th} （觸發點）時， V_{tr1} 變為數位「0」而因此關閉 M3。此刻，放電電流停止從 C1 流動且 V_{C1} 保持不變。上述放電操作產生一延遲 t_{d1} ，而因此該時鐘 Φ_{middle} 被輸出，如圖 5a 中所清楚顯示者。之後，該操作回到第一階段， V_{C1} 將被再次充電至 VDD，而 V_{tr} 亦由於反相器之快速拉升而來到 VDD。

如圖 5a 中所示， V_{C1} 係線性地下降。因此，藉由參考上述等式（2）， t_{d1} 可被表示為：

$$t_{d1} = C1 \frac{V_{th} - VDD}{-I_b} \quad (3)$$

類似地，第二延遲部 230 之操作可被劃分為兩階段。針對第二延遲部 230，時鐘 Φ_{middle} 被反相並使用為輸入時鐘。於第一階段，時鐘 $\bar{\Phi}_{middle}$ 係從高（HIGH）變為低（LOW），則開關 S3 被斷開（關閉）而開關 S4 被閉合（開啓）。

因此，C2（其具有相同於C1之電容值）將透過開關S4而被放電並重設至接地。接下來，於第二階段，時鐘 $\overline{\Phi}_{middle}$ 係從低（LOW）變為高（HIGH），則開關S3被閉合（開啓）而開關S4被斷開（關閉）。因此，C2係由一來自包括M6和M7之p型電流鏡的恆定電流所充電，且電壓 V_{C2} 開始從0（接地）上升。當 V_{C2} 達到反相器之臨限電壓 V_{th} （觸發點）時， V_{tr2} 變為數位「0」而因此關閉M8。此刻，充電電流停止流至C2且 V_{C2} 保持不變。上述充電操作產生一延遲 t_{d2} ，而因此時鐘 Φ_{out} 被輸出，如圖5b中所清楚顯示者。

如圖5b中所示， V_{C2} 係線性地上升。再次，藉由參考上述等式（2）， t_{d2} 可被表示為：

$$t_{d2} = C2 \frac{V_{th} - 0}{I_b} \quad (4)$$

如上所述，由延遲產生器200所產生之總延遲 t_{dtotal} 係藉由 t_{d1} 與 t_{d2} 之相加而獲得，亦即 $t_{d1} + t_{d2}$ 。從等式（3）和（4）可得：

$$t_{dtotal} = \frac{(C1 - C2)V_{th} + C1 \times VDD}{I_b} \quad (5)$$

由於 $C1 = C2$ ，故可得：

$$t_{dtotal} = \frac{C1 \times VDD}{I_b} \quad (6)$$

因為C1、VDD及 I_b 均為預設值，所以 t_{dtotal} 將是常數。換言之，總延遲 t_{dtotal} 並不受臨限電壓 V_{th} （其為高度製程敏感的）所影響。

為了進一步解釋本發明所應用之臨限電壓補償，現在

參考圖 6a 和 6b，其中依據本發明之延遲產生器的特徵波形係顯示於一個典型情況（‘tt’）及兩個極端情況（‘fs’：快速 NMOS 及緩慢 PMOS，‘sf’：緩慢 NMOS 及快速 PMOS）。該兩個極端情況被提供來當作其將產生臨限電壓 V_{th} 之最顯著偏移的製程角（process corners）之範例。如圖中所示，可於典型情況（製程角 ‘tt’）下觀察到類似於圖 5a 和 5b 之波形。針對 ‘fs’ 製程角，則可觀察到較短的 $t_{d1,fs}$ 及較長的 $t_{d2,fs}$ ；而針對 ‘sf’ 製程角，則可觀察到較長的 $t_{d1,sf}$ 及較短的 $t_{d2,sf}$ 。然而， $t_{d1,fs}$ 與 $t_{d2,fs}$ 之相加總和以及 $t_{d1,sf}$ 與 $t_{d2,sf}$ 之相加總和均獲致與典型製程角 ‘tt’ 情況下（ $t_{d1,tt}$ 與 $t_{d2,tt}$ 之相加總和）相同的總延遲 t_{dtotal} 。換言之，較短的 $t_{d1,fs}$ 係由較長的 $t_{d2,fs}$ 所「補償」，而較長的 $t_{d1,sf}$ 則由較短的 $t_{d2,sf}$ 所「補償」。此結果並不難推得，因為依據上述等式（6）即可得知無論 ‘fs’ 製程角或 ‘sf’ 製程角均將獲得相同的總延遲 t_{dtotal} 。

雖然已參考較佳實施例來描述本發明，但熟悉此項技術人士應理解：可進行各種改變並可用同等物取代其元件而不背離本發明之範圍。因此，本發明將包括落入後附請求項之範圍內的所有實施例。

【圖式簡單說明】

本發明之這些和其他目的、特徵及優點將配合後附圖形而從以下描述變得更清楚明白。

圖 1a 顯示依據習知技術之延遲產生器的簡化圖形。

圖 1b 示出圖 1a 之延遲產生器的輸入和輸出波形。

圖 2 顯示依據本發明之延遲產生器的方塊圖。

圖 3 示出依據本發明之延遲產生器的輸入和輸出波形。

圖 4 示出依據本發明之延遲產生器的電路實施。

圖 5a 顯示依據本發明之延遲產生器的第一延遲部之特徵波形。

圖 5b 顯示依據本發明之延遲產生器的第二延遲部之特徵波形。

圖 6a 和 6b 顯示在一典型情況下和兩極端情況下依據本發明之延遲產生器的特徵波形。

【主要元件符號說明】

200：延遲產生器

210：電流源

220：第一延遲部

230：第二延遲部

七、申請專利範圍：

1. 一種延遲產生器，包含：

一第一延遲部，其包含至少複數反相器和一具有第一電容值之第一電容；

一第二延遲部，其包含至少複數反相器和一具有第二電容值之第二電容；及

一電流源，用以供應電流至該第一延遲部和該第二延遲部，

其中該第一電容值係相同於該第二電容值，

其中該第一延遲部係藉由該第一電容之放電以產生第一延遲，

其中該第二延遲部係藉由該第二電容之充電以產生第二延遲，及

其中由該延遲產生器所產生之總延遲係藉由該第一延遲與該第二延遲之相加而獲得。

2. 如申請專利範圍第 1 項之延遲產生器，其中該總延遲係由該電流和該第一電容值所決定。

3. 如申請專利範圍第 1 項之延遲產生器，其中該第一延遲部進一步包含二開關，其中一開關在當輸入時鐘從低（LOW）變為高（HIGH）時被打開而另一開關在當該輸入時鐘從高（HIGH）變為低（LOW）時被打開。

4. 如申請專利範圍第 1 項之延遲產生器，其中該第二延遲部進一步包含二開關，其中一開關在當輸入時鐘從高（HIGH）變為低（LOW）時被打開而另一開關在當該輸

入時鐘從低（LOW）變為高（HIGH）時被打開。

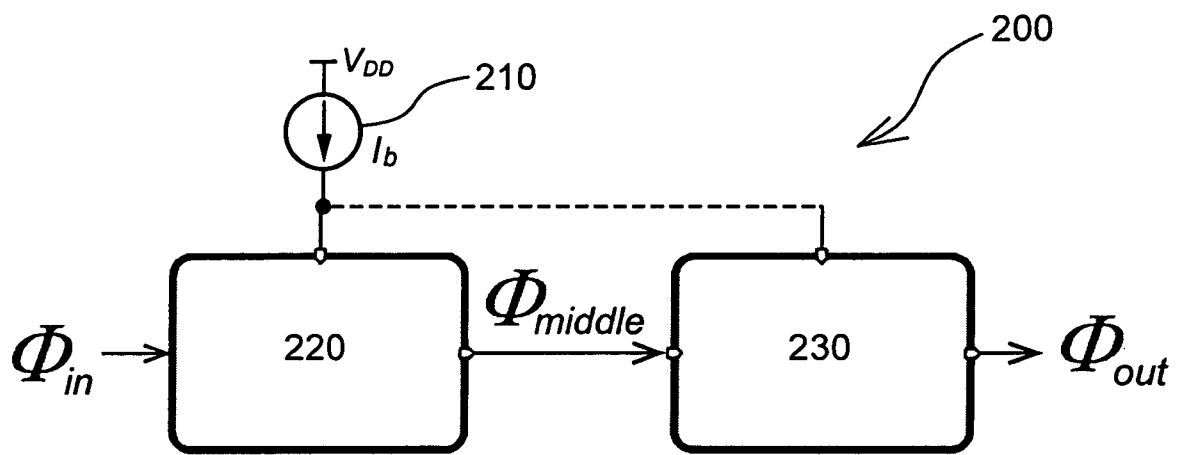


圖 2

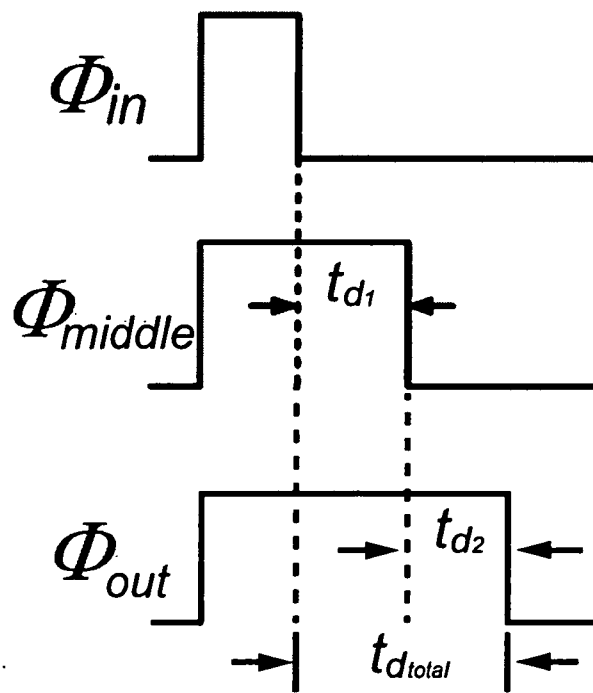


圖 3

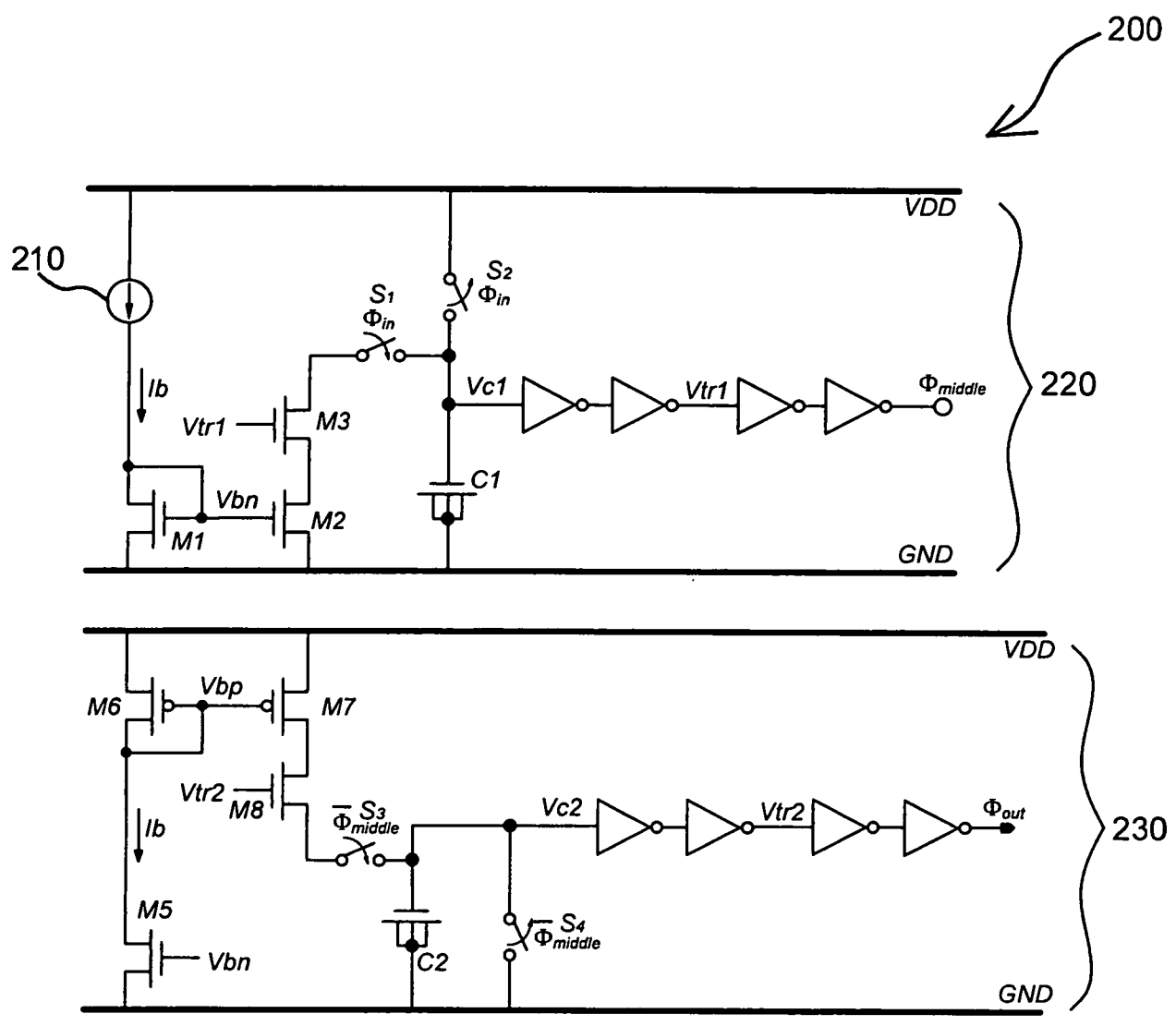


圖 4

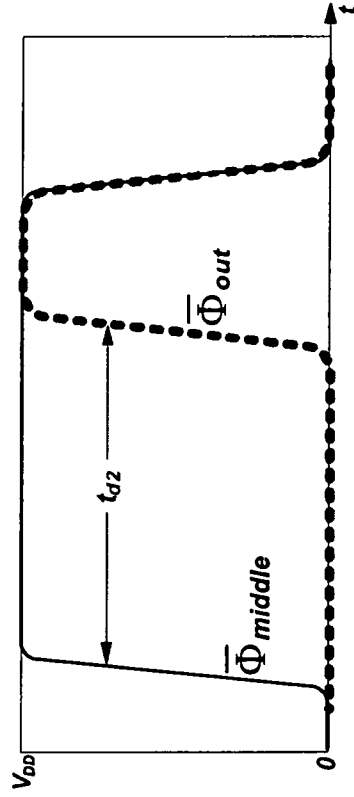
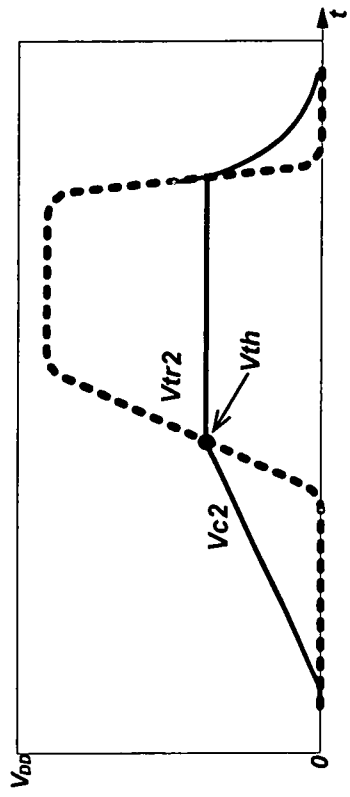


圖 5b

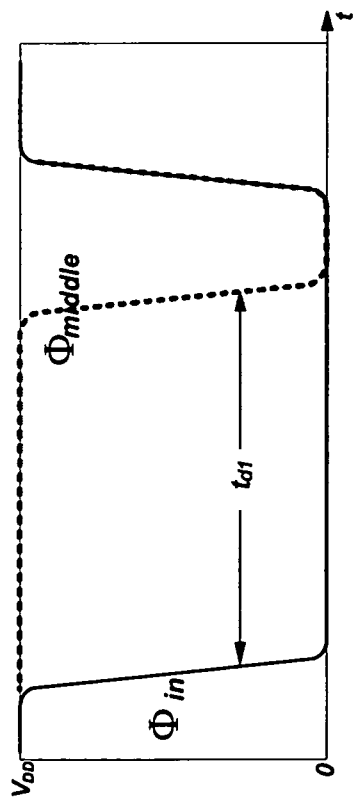
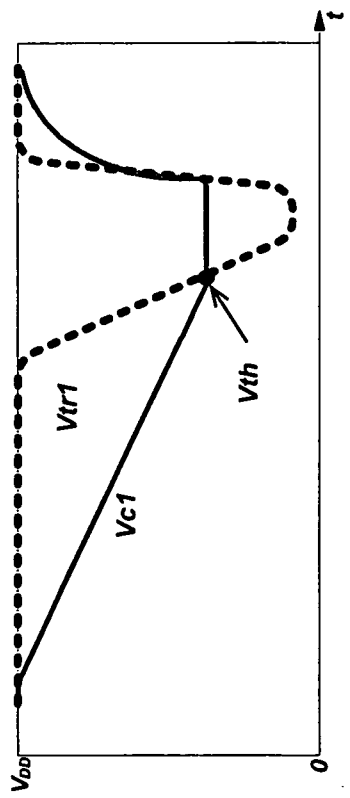


圖 5a

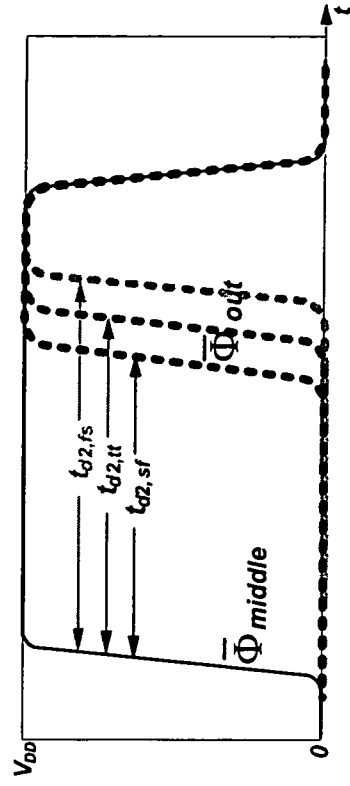


圖6b

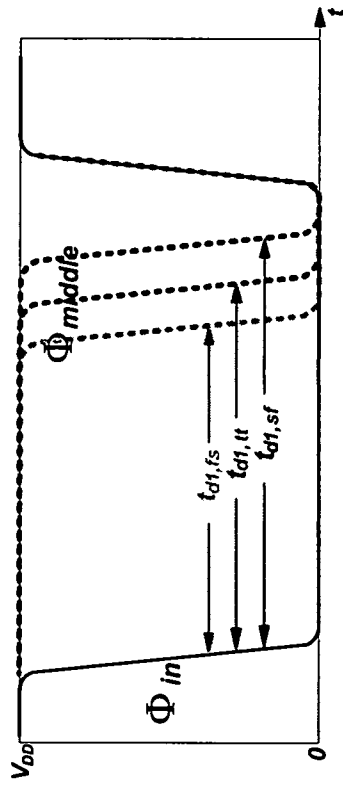


圖6a