



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I479806 B

(45) 公告日：中華民國 104 (2015) 年 04 月 01 日

(21) 申請案號：100103984

(22) 申請日：中華民國 100 (2011) 年 02 月 01 日

(51) Int. Cl. : H03M1/12 (2006.01)

H03M1/38 (2006.01)

(71) 申請人：澳門大學 (中國大陸) UNIVERSITY OF MACAU (CN)

澳門

(72) 發明人：趙汝法 CHIO, U-FAT (MO)；魏和功 WEI, HE-GONG (CN)；諸嫣 ZHU, YAN (CN)；冼世榮 SIN, SAI-WENG (MO)；余成斌 U, SENG-PAN (MO)；馬 許願 MARTINS, RUI PAULO DA SILVA (PT)；馬洛貝爾蒂 佛朗哥 MALOBERTI, FRANCO (IT)

(74) 代理人：林志剛

(56) 參考文獻：

US 4994806

US 6404373B1

US 7187317B2

US 2008/0143576A1

審查人員：陳臆聰

申請專利範圍項數：4 項 圖式數：2 共 15 頁

(54) 名稱

類比至數位轉換系統

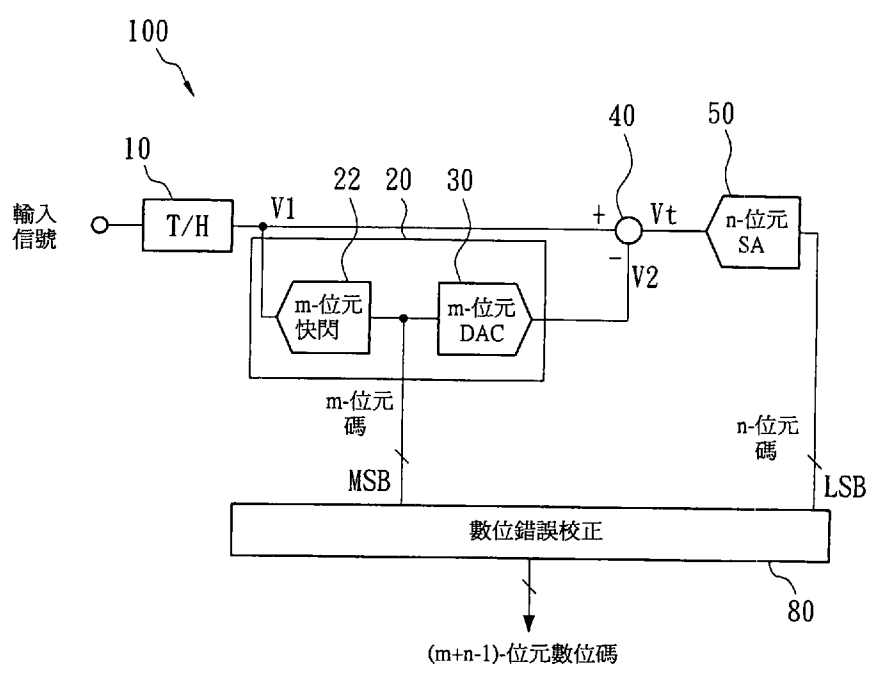
ANALOG-TO-DIGITAL CONVERTING SYSTEM

(57) 摘要

本案揭示一種使用兩步驟轉換之類比至數位轉換器(ADC)系統。該 ADC 系統能完成高取樣率、低功率消耗及低複雜度。新提出之 ADC 係藉由級聯具有高取樣率及低解析度的快閃 ADC 及具有低功率消耗及低取樣率的逐步逼近(SA)ADC。

A novel analog-to-digital converter (ADC) system using a two-step conversion is disclosed. The ADC system is capable of achieving high sampling rate, low power consumption and low complexity. The new proposed ADC is formed by cascading a flash ADC having high sampling rate and low resolution with a successive approximation (SA) ADC having low power consumption and low sampling rate.

圖 1



- 10 . . . T/H 電路
- 20 . . . 粗 ADC
- 22 . . . m-位元快閃 ADC
- 30 . . . m-位元 DAC
- 40 . . . 減法器
- 50 . . . 細 ADC
- 80 . . . 數位錯誤校正單元
- 100 . . . ADC 系統

公告本

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100103984

※申請日：100 年 02 月 01 日

※IPC 分類：H03M 1/12 (2006.01)  
H03M 1/38 (2006.01)

## 一、發明名稱：(中文/英文)

類比至數位轉換系統

Analog-to-digital converting system

## 二、中文發明摘要：

本案揭示一種使用兩步驟轉換之類比至數位轉換器 (ADC) 系統。該 ADC 系統能完成高取樣率、低功率消耗及低複雜度。新提出之 ADC 係藉由級聯具有高取樣率及低解析度的快閃 ADC 及具有低功率消耗及低取樣率的逐步逼近 (SA) ADC。

### 三、英文發明摘要：

A novel analog-to-digital converter (ADC) system using a two-step conversion is disclosed. The ADC system is capable of achieving high sampling rate, low power consumption and low complexity. The new proposed ADC is formed by cascading a flash ADC having high sampling rate and low resolution with a successive approximation (SA) ADC having low power consumption and low sampling rate.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

10：T/H電路

20：粗ADC

22：m-位元快閃ADC

30：m-位元DAC

40：減法器

50：細ADC

80：數位錯誤校正單元

100：ADC系統

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明大致關係於類比至數位轉換系統，更明確地說，關係於藉由使用快閃類比至數位轉換器與逐步逼近類比至數位轉換器之級聯的類比至數位轉換系統。

### 【先前技術】

類比至數位轉換器（ADC）具有各種架構，例如快閃類比至數位轉換器（快閃ADC）、管線類比至數位轉換器（管線ADC）、及逐步逼近類比至數位轉換器（SA ADC），這些分別具有適當之應用領域。

快閃ADC典型為最快，但具有最高實施成本。在N-位元ADC中，有 $2^N$ 的可能數位數字輸出。總數 $2^N-1$ 邊界定義對應於該數位數字輸出的類比輸入範圍。在快閃ADC中，產生 $2^N-1$ 類比參考信號。輸入被同時與各個參考信號作比較。 $2^N-1$ 個比較器產生數位輸出信號，其係被解碼以產生想要的數位輸出數字。

因為輸入至輸出延遲包含一比較器級與後續解碼邏輯的反應時間，所以快閃ADC為最快。因為類比參考信號與比較器的數量隨著N作指數增加，所以，快閃ADC需耗用較大成本才能實施。

SA ADC係遠較於快閃ADC為慢，但在具有大N時，具有相對較低之實施成本。在逐步逼近法中，在可能數位輸出數字上，執行二位元樹搜尋。二位元樹搜尋以N逼進步

驟的順序進行。在各個步驟中，可能數位輸出數字被傳送至N-位元數位至類比（D/A）轉換器，其產生對應的類比值。此值係與類比輸入信號作比較。比較的結果被用以以下步驟選擇新可能數位值。

有關於元件，N-位元 SA ADC需要一比較器、N-位元D/A轉換器及，用以指引搜尋及儲存結果的邏輯電路。轉換器及比較器可以在每步驟的搜尋中再使用。SA轉換器的速度係取決於N及比較器、D/A轉換器與邏輯電路的安頓時間而定。例如，12-位元SA ADC將需要12個分開之12-位元D/A轉換結果的12個比較步驟，而8-位元SA ADC只需要8個分開之D/A轉換結果的8個比較步驟。

先前技術之快閃ADC的主要缺點為雖然它們很快，但它們典型需要大量之元件，而佔用了大量的晶片空間並消耗了大量之功率。元件數目隨著指數增加及快閃ADC的功率消耗限制了此等轉換器可以符合經濟效益的數量。SA ADC的主要缺點雖然它們具有低元件成本並對於較高準確度較快閃ADC有經濟效益，但它們通常很慢並對於消耗的資源未能有效運用。因此，本發明之目的為提供一種新穎ADC，其係足夠快並為低複雜度的。

#### 【發明內容】

因此，本發明的目的為提供一種類比至數位轉換系統，用以將類比輸入信號轉換為數位輸出信號。用以將類比輸入信號轉換為數位輸出信號的類比至數位轉換系統包含



：追蹤及保持電路，用以在追蹤模式中，追蹤該輸入信號及在保持模式中，保持該被追蹤的輸入信號；參考電壓產生器，用以產生第一參考電壓及第二參考電壓；粗類比至數位轉換器，用以將該追蹤及保持電路的輸出信號轉換為第一數位碼並具有第一數位至類比轉換器，用以將該第一數位碼轉換為第一類比信號，其中該第一數位碼係相關於該類比至數位轉換系統的數位輸出信號的最高效位元；一減法器，用以將該追蹤及保持電路的該輸出信號減去該第一類比信號；一細類比至數位轉換手段，用以依據該第二參考電壓將該減法器的輸出信號轉換為第二數位碼，其中該第二數位碼係有關於該類比至數位轉換系統的數位輸出信號的最低效位元組。

### 【實施方式】

現將對本發明之較佳實施例係詳細說明，本案實施例之例示於附圖中。於附圖中，儘可能使用相同參考元件符號來表明相同或類似元件。

在本發明之此實施例中，類比至數位轉換（ADC）系統根據兩步驟架構採用雙區間（subranging）技術，其中粗ADC採用快閃ADC架構，而細ADC則採SA（逐步逼進）ADC架構。因此，本發明可以得到高速之取樣頻率及低功率消耗。

參考圖1，其為依據本發明之輸出（ $m+n-1$ ）-位元數位碼之ADC系統100的電路方塊圖。圖1之ADC系統100包

含追蹤及保持電路（T/H電路）10、粗ADC20、減法器40、細ADC50及數位錯誤校正單元80。

在追蹤模式期間，T/H電路10將追蹤一輸入信號。在保持模式期間，T/H電路10將保持被追蹤之輸入信號並將輸入信號傳送至後級電路（粗ADC20、減法器40及細ADC50）。

粗ADC20接收T/H電路10的輸出信號 $V_1$ ，進行高位元資料轉換，以產生數位碼MSB並將該數位碼MSB送至數位錯誤校正單元80。碼MSB係有關於最終結果 $(m+n-1)$ 的最高效位元組MSB。粗ADC20包含 $m$ -位元快閃ADC22及 $m$ -位元數位至類比轉換器（DAC）30，連接用以決定用以決定該 $m$ -位元碼MSB並用以輸出對應於最終結果 $(m+n-1)$ -位元數位碼的MSB的類比信號 $V_2$ 。

減法器40接收來自T/H電路10的取樣類比信號 $V_1$ 與來自 $m$ -位元DAC30的類比信號 $V_2$ ，以將接收信號 $V_1$ 減去 $V_2$ ，使得類比信號 $V_t$ 對應於最終結果 $(m+n-1)$ -位元數位碼之LSB。

細ADC50係為 $n$ -位元逐步逼近轉換器（SA ADC），其自減法器40接收類比信號 $V_t$ 。該 $n$ -位元SA ADC50然後將類比信號 $V_t$ 量化為 $n$ -位元LSB碼。

數位錯誤校正單元80組合碼MSB及LSB（分別由快閃ADC22與SA ADC50產生），其中產生 $(m+n-1)$ -位元數位碼的最終結果。

圖2顯示圖1之ADC系統100的詳細電路圖。此ADC系

統 100 係被描述為 9-位元快閃-SA 雙區間 ADC，其中快閃 ADC22 與 SA ADC50 係分別以 5-位元架構加以實施。

T/H 電路 10 取樣連續輸入信號，成為離散信號 V1。該 5-位元快閃 ADC22 包含參考梯形電路 23、前置放大器 24、比較器 25 及 5-位元編碼器 26，這些係被連接成為串聯架構。

參考梯形電路 23 提供適當參考電壓，其各個係被供給至前置放大器 24 的個別前置放大器的反相 (-) 輸入端。離散信號 V1 係被連接至各個前置放大器 24 的非反相 (+) 輸入端。比較器 25 然後量化前置放大器 24 的輸出信號，成為溫度碼 (thermometer code)。該 5-位元編碼器 26 將該溫度碼轉換為 5-位元粗碼 MSB，用以輸出至該數位錯誤校正單元 80。

如所示，5-位元 DAC30 藉由由 5-位元編碼器 26 的電容性切換 5-位元粗碼 MSB，產生類比電壓 V2。減法器 40 自 T/H 電路 10 接收取樣類比信號 V1 及自 m-位元 DAC30 接收類比信號 V2 並輸出類比信號 Vt。

SA ADC50 包含比較器 60、5-位元電容性 DAC62 及 SA 邏輯電路 64。該 5-位元電容性 DAC62 產生參考電壓 VF。比較器 60 比較來自減法器 52 的輸出信號 Vt 與來自電容性 DAC62 的參考電壓 VF，並輸出類比信號 VL。SA 邏輯電路 64 接收該類比信號 VL 並將其量化為 5-位元細碼 LSB，用以輸出至電容性 DAC62 及數位錯誤校正單元 80。

(為快閃 ADC22 及 SA ADC50 所產生之) 碼 MSB 及 LSB

的輸出在數位錯誤校正單元 80 中藉由重疊碼 LSB 的最高效位元 ( $D_{L4}$ ) 及碼 MSB 的最低效位元 ( $D_{M0}$ ) 而相加，使得整體數位輸出為 9-位元 ( $D_0-D_8$ ) 數位信號。

如圖 2 所示，除了如圖 1 所示之 T/H 電路 10、粗 ADC 20、細 ADC 50 及數位錯誤校正單元 80 之外，本發明之 ADC 系統 100 更包含晶片上參考電壓產生器 90，用以產生適當參考電壓  $V1P$ 、 $V1N$  給電容性 DAC 30 及  $V2P$  及  $V2N$  給電容性 DAC 62。

可以為熟習於本技藝者所了解，各種修改與變化係可以在不脫離本發明之範圍與精神下加以完成。因此，本發明涵蓋所此所述落入以下之申請專利範圍及其等效範圍內。

#### 【圖式簡單說明】

附圖係為包含以提供對本發明作進一步的了解，並構成本說明書的一部份。這些圖顯示本發明之實施例並與發明說明一起作為解釋本發明之原理。

圖 1 為依據本發明提供之類比至數位轉換系統的方塊圖；及

圖 2 為圖 1 之類比至數位轉換系統的例示電路圖。

#### 【主要元件符號說明】

10：T/H 電路

20：粗 ADC

- 22 : m-位元快閃ADC
- 30 : m-位元DAC
- 40 : 減法器
- 50 : 細ADC
- 80 : 數位錯誤校正單元
- 23 : 參考梯形電路
- 24 : 前置放大器
- 25 : 比較器
- 26 : 5-位元編碼器
- 60 : 比較器
- 62 : 5-位元電容性DAC
- 64 : SA邏輯電路
- 90 : 晶片上參考電壓產生器
- 100 : ADC系統

**七、申請專利範圍：**

1. 一種類比至數位轉換系統，用以將類比輸入信號轉換為數位輸出信號，包含：

追蹤及保持電路，用以在追蹤模式中，追蹤該輸入信號及在保持模式中，保持該被追蹤的輸入信號；

參考電壓產生器，用以產生第一參考電壓及第二參考電壓；

快閃類比至數位轉換器，用以將該追蹤及保持電路的輸出信號轉換為第一數位碼並具有第一數位至類比轉換器，用以將該第一數位碼轉換為第一類比信號，其中該第一數位碼係相關於該類比至數位轉換系統的數位輸出信號的最高效位元組；

減法器，用以將該追蹤及保持電路的該輸出信號減去該第一類比信號；

逐步逼進類比至數位轉換器，用以依據該第二參考電壓將該減法器的輸出信號轉換為第二數位碼，其中該第二數位碼係有關於該類比至數位轉換系統的數位輸出信號的最低效位元組；及

錯誤校正電路，用以藉由重疊該類比至數位轉換系統的該數位輸出信號的最低效位元組的最高效位元與該最高效位元組的最低效位元，來組合該最高效位元組與該最低效位元組，以產生該數位輸出信號。

2. 如申請專利範圍第 1 項所述之類比至數位轉換系統，其中該逐步逼進類比至數位轉換器包含：

第二數位至類比轉換器，用以將該第二數位碼轉換為第二類比信號；

比較器，用以比較該第二類比信號與該減法器的輸出信號；及

逐步逼近邏輯電路，用以將該比較器的輸出信號轉換為第二數位碼。

3. 如申請專利範圍第 1 項所述之類比至數位轉換系統，其中該快閃類比至數位轉換器包含：

參考梯形電路，用以產生多數參考電壓；

多數前置放大器，各個比較來自該參考梯形電路的參考電壓與該類比信號；及

對應多數比較器。

4. 如申請專利範圍第 3 項所述之類比至數位轉換系統，其中該快閃 A/D 轉換器根據該多數比較器的比較結果，建立溫度碼。

圖 1

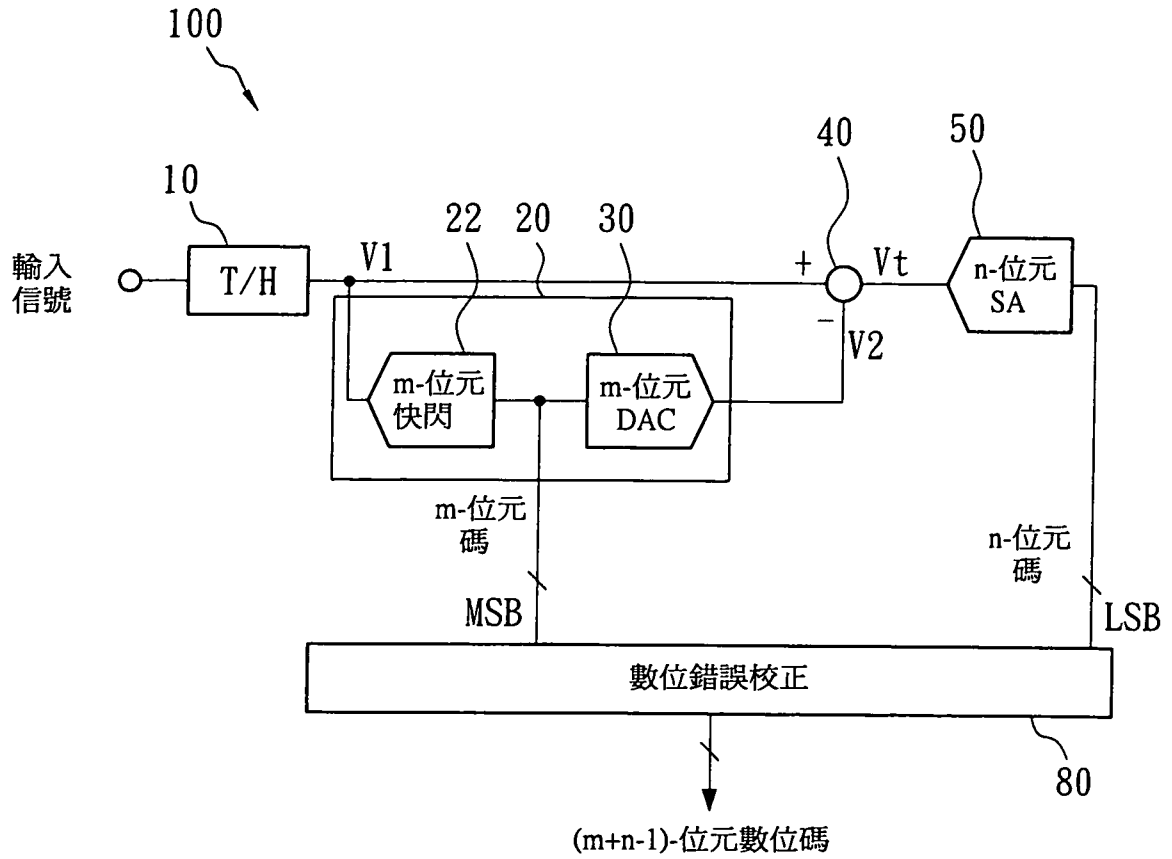




圖2

