

(12) 发明专利

(10) 授权公告号 CN 102130677 B

(45) 授权公告日 2012. 10. 10

(21) 申请号 201110101066. 6

审查员 赵天奇

(22) 申请日 2011. 04. 21

(73) 专利权人 清华大学

地址 100084 北京市海淀区清华园 1 号

(72) 发明人 陈勇 杨佳乐 张莉 王燕 钱鹤

(74) 专利代理机构 北京清亦华知识产权代理事

务所(普通合伙) 11201

代理人 廖元秋

(51) Int. Cl.

H03K 19/20(2006. 01)

(56) 对比文件

CN 1122534 A, 1996. 05. 15,

US 7439787 B2, 2008. 10. 21,

US 2004/0108878 A1, 2004. 06. 10,

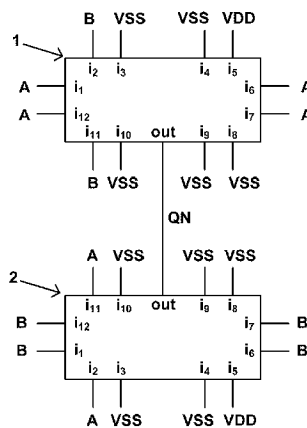
权利要求书 2 页 说明书 5 页 附图 5 页

(54) 发明名称

一种超低压与非门电路

(57) 摘要

本发明涉及一种超低压与非门电路,属于采用 CMOS 工艺实现的超低压电路设计领域。本发明由两个超低压与非门基本单元组成的单端输入单端输出结构;第一、第二超低压基本单元的输出端连接在一起作为超低压与非门电路的单端输入单端输出结构的输出端。本发明或由四个超低压与非门基本单元组成差分输入差分输出结构;第二和第三超低压与非门基本单元的输入端相连作为电路的两个差分输入端;第一和第四超低压与非门基本单元的输入端相连作为电路的两个差分输入端;各基本单元的输出端分别作为电路的二个差分输出端。本发明采用 PMOS 晶体管的体偏技术可在超低压下工作,结构对称简单,易于设计且输出信号的上升沿和下降沿对称性好。



1. 一种超低压与非门电路,其特征在于,采用单端输入单端输出结构,由第一超低压与非门基本单元 1 和第二超低压与非门基本单元 2 组成;所述第一超低压与非门基本单元 1 的第一输入端  $i_1$  接输入端 A,第二输入端  $i_2$  接输入端 B,第三输入端  $i_3$  接地电压 VSS,第四输入端  $i_4$  接地电压 VSS,第五输入端  $i_5$  接电源电压 VDD,第六输入端  $i_6$  接输入端 A,第七输入端  $i_7$  接输入端 A,第八输入端  $i_8$  接地电压 VSS,第九输入端  $i_9$  接地电压 VSS,第十输入端  $i_{10}$  接地电压 VSS,第十一输入端  $i_{11}$  接输入端 B,第十二输入端  $i_{12}$  接输入端 A;

所述第二超低压与非门基本单元 2 的第一输入端  $i_1$  接输入端 B,第二输入端  $i_2$  接输入端 A,第三输入端  $i_3$  接地电压 VSS,第四输入端  $i_4$  接地电压 VSS,第五输入端  $i_5$  接电源电压 VDD,第六输入端  $i_6$  接输入端 B,第七输入端  $i_7$  接输入端 B,第八输入端  $i_8$  接地电压 VSS,第九输入端  $i_9$  接地电压 VSS,第十输入端  $i_{10}$  接地电压 VSS,第十一输入端  $i_{11}$  接输入端 A,第十二输入端  $i_{12}$  接输入端 B;

所述第一超低压与非门基本单元 1 的输出端 out 和所述第二超低压与非门基本单元 2 的输出端 out 连接在一起作为超低压与非门电路的单端输入单端输出结构的输出端 QN;

所述超低压与非门基本单元均由第一 PMOS 管  $M_1$ 、第二 PMOS 管  $M_2$ 、第三 PMOS 管  $M_3$  和第四 PMOS 管  $M_4$  组成;其中,第一 PMOS 管  $M_1$  的栅极接第一输入端  $i_1$ ,第一 PMOS 管  $M_1$  的源极接第二输入端  $i_2$ ,第一 PMOS 管  $M_1$  的衬底接第三输入端  $i_3$ ;第二 PMOS 管  $M_2$  的栅极接第六输入端  $i_6$ ,第二 PMOS 管  $M_2$  的源极接第五输入端  $i_5$ ,第二 PMOS 管  $M_2$  的衬底接第四输入端  $i_4$ ;第三 PMOS 管  $M_3$  的栅极接第七输入端  $i_7$ ,第三 PMOS 管  $M_3$  的源极接第八输入端  $i_8$ ,第三 PMOS 管  $M_3$  的衬底接第九输入端  $i_9$ ;第四 PMOS 管  $M_4$  的栅极接第十二输入端  $i_{12}$ ,第四 PMOS 管  $M_4$  的源极接第十一输入端  $i_{11}$ ,第四 PMOS 管  $M_4$  的衬底接第十输入端  $i_{10}$ ;第一 PMOS 管的漏极  $M_1$ 、第二 PMOS 管的漏极  $M_2$ 、第三 PMOS 管  $M_3$  的漏极和第四 PMOS 管  $M_4$  的漏极相连作为输出端 out。

2. 一种超低压与非门电路,其特征在于,采用差分输入差分输出结构,由第一超低压与非门基本单元 1、第二超低压与非门基本单元 2、第三超低压与非门基本单元 3 和第四超低压与非门基本单元 4 组成;

所述第一超低压与非门基本单元 1 的第一输入端  $i_1$  接输入端 BN,第二输入端  $i_2$  接输入端 A,第三输入端  $i_3$  接地电压 VSS,第四输入端  $i_4$  接地电压 VSS,第五输入端  $i_5$  接输入端 B,第六输入端  $i_6$  接输入端 AN,第七输入端  $i_7$  接输入端 AN,第八输入端  $i_8$  接地电压 VSS,第九输入端  $i_9$  接地电压 VSS,第十输入端  $i_{10}$  接地电压 VSS,第十一输入端  $i_{11}$  接地电压 VSS,第十二输入端  $i_{12}$  接输入端 BN,输出端 out 为 QIP;

所述第二超低压与非门基本单元 2 的第一输入端  $i_1$  接输入端 A,第二输入端  $i_2$  接电源电压 VDD,第三输入端  $i_3$  接地电压 VSS,第四输入端  $i_4$  接地电压 VSS,第五输入端  $i_5$  接电源电压 VDD,第六输入端  $i_6$  接输入端 B,第七输入端  $i_7$  接输入端 B,第八输入端  $i_8$  接输入端 AN,第九输入端  $i_9$  接地电压 VSS,第十输入端  $i_{10}$  接地电压 VSS,第十一输入端  $i_{11}$  接输入端 BN,第十二输入端  $i_{12}$  接输入端 A,输出端 out 为 QIN;

所述第三超低压与非门基本单元 3 的第一输入端  $i_1$  接输入端 B,第二输入端  $i_2$  接输入端 AN,第三输入端  $i_3$  接地电压 VSS,第四输入端  $i_4$  接地电压 VSS,第五输入端  $i_5$  接输入端 BN,第六输入端  $i_6$  接输入端 A,第七输入端  $i_7$  接输入端 A,第八输入端  $i_8$  接地电压 VSS,第九输入端  $i_9$  接地电压 VSS,第十输入端  $i_{10}$  接地电压 VSS,第十一输入端  $i_{11}$  接地电压 VSS,第十二输入端  $i_{12}$  接输入端 B,输出端 out 为 QQP;

所述第四超低压与非门基本单元 4 的第一输入端  $i_1$  接输入端 AN, 第二输入端  $i_2$  接电源电压 VDD, 第三输入端  $i_3$  接地电压 VSS, 第四输入端  $i_4$  接地电压 VSS, 第五输入端  $i_5$  接电源电压 VDD, 第六输入端  $i_6$  接输入端 BN, 第七输入端  $i_7$  接输入端 BN, 第八输入端  $i_8$  接输入端 A, 第九输入端  $i_9$  接地电压 VSS, 第十输入端  $i_{10}$  接地电压 VSS, 第十一输入端  $i_{11}$  接输入端 B, 第十二输入端  $i_{12}$  接输入端 AN, 输出端 out 为 QQN;

所述的第二超低压与非门基本单元 2 和第三超低压与非门基本单元 3 的输入端 A 和 B 分别相连作为超低压与非门电路的两个差分输入端; 第一超低压与非门基本单元 1 和第四超低压与非门基本单元 4 的输入端 AN 和 BN 分别相连作为超低压与非门电路的两个差分输入端; 各超低压与非门基本单元的输出端 QIP 和 QIN、输出端 QQP 和 QQN 分别作为超低压与非门电路的二个差分输出端; 所述超低压与非门基本单元均由第一 PMOS 管  $M_1$ 、第二 PMOS 管  $M_2$ 、第三 PMOS 管  $M_3$  和第四 PMOS 管  $M_4$  组成; 其中, 第一 PMOS 管  $M_1$  的栅极接第一输入端  $i_1$ , 第一 PMOS 管  $M_1$  的源极接第二输入端  $i_2$ , 第一 PMOS 管  $M_1$  的衬底接第三输入端  $i_3$ ; 第二 PMOS 管  $M_2$  的栅极接第六输入端  $i_6$ , 第二 PMOS 管  $M_2$  的源极接第五输入端  $i_5$ , 第二 PMOS 管  $M_2$  的衬底接第四输入端  $i_4$ ; 第三 PMOS 管  $M_3$  的栅极接第七输入端  $i_7$ , 第三 PMOS 管  $M_3$  的源极接第八输入端  $i_8$ , 第三 PMOS 管  $M_3$  的衬底接第九输入端  $i_9$ ; 第四 PMOS 管  $M_4$  的栅极接第十二输入端  $i_{12}$ , 第四 PMOS 管  $M_4$  的源极接第十一输入端  $i_{11}$ , 第四 PMOS 管  $M_4$  的衬底接第十输入端  $i_{10}$ ; 第一 PMOS 管的漏极  $M_1$ 、第二 PMOS 管的漏极  $M_2$ 、第三 PMOS 管  $M_3$  的漏极和第四 PMOS 管  $M_4$  的漏极相连作为输出端 out。

## 一种超低压与非门电路

### 技术领域

[0001] 本发明属于采用 CMOS 工艺实现的超低压电路技术领域,特别涉及超低压与非门电路。

### 背景技术

[0002] 功耗问题正成为超大规模集成电路系统的一个重要的限制因素。目前便携式设备的市场需求量不断增加,以电池作为电源的电子产品越来越多,为了延长电池寿命,研究人员对低功耗电路的要求越来越迫切。而对于固定电路应用,最高工作温度也要求电路的功耗越来越低,从而保证芯片乃至系统的工作稳定性。从电路实现的角度,当电源电压降低到超低压(0.5~0.6V 以下),功耗将急剧降低。目前有些电路技术采用特殊工艺,例如低阈值或零阈值晶体管,可以实现超低压,但是这些工艺有时不能兼用一般工艺。因此迫切需要开发兼容一般的超低压电路技术。

[0003] 采用 CMOS 工艺实现的与非门(NAND)是常用电路单元。图 1 中给出了一种扇入(fan-in)对称的与非门电路(Jin-Han Kim “A 120-MHz 1.8-GHz CMOS DLL-Based Clock Generator for Dynamic Frequency Scaling” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO. 9, SEPTEMBER 2006),由六个晶体管  $M_1$ 、 $M_2$ 、 $M_3$ 、 $M_4$ 、 $M_5$  和  $M_6$  组成, $M_1$ 、 $M_2$  和  $M_3$  三个晶体管层叠连接, $M_4$ 、 $M_5$  和  $M_6$  三个晶体管层叠连接。与传统的与非门逻辑相比,图 1 所示的与非门的输入 A 端和 B 端都连接一个 PMOS 管和两个 NMOS 管的栅极,对前一级的负载效应是等同的,并扇入对称。但是该与非门的不足之处是:由于存在三个晶体管层叠连接,使其在超低压电路系统中应用来实现低功耗。

### 发明内容

[0004] 本发明的目的是为克服已有技术的不足之处,提出超低压与非门电路。本发明采用 PMOS 晶体管的体偏技术实现了超低压工作状态,结构对称简单,易于设计。

[0005] 本发明提出的一种超低压与非门电路,其特征在于,采用单端输入单端输出结构,由第一超低压与非门基本单元 1 和第二超低压与非门基本单元 2 组成;所述第一超低压与非门基本单元 1 的第一输入端  $i_1$  接输入端 A,第二输入端  $i_2$  接输入端 B,第三输入端  $i_3$  接地电压 VSS,第四输入端  $i_4$  接地电压 VSS,第五输入端  $i_5$  接电源电压 VDD,第六输入端  $i_6$  接输入端 A,第七输入端  $i_7$  接输入端 A,第八输入端  $i_8$  接地电压 VSS,第九输入端  $i_9$  接地电压 VSS,第十输入端  $i_{10}$  接地电压 VSS,第十一输入端  $i_{11}$  接输入端 B,第十二输入端  $i_{12}$  接输入端 A;

[0006] 所述第二超低压与非门基本单元 2 的第一输入端  $i_1$  接输入端 B,第二输入端  $i_2$  接输入端 A,第三输入端  $i_3$  接地电压 VSS,第四输入端  $i_4$  接地电压 VSS,第五输入端  $i_5$  接电源电压 VDD,第六输入端  $i_6$  接输入端 B,第七输入端  $i_7$  接输入端 B,第八输入端  $i_8$  接地电压 VSS,第九输入端  $i_9$  接地电压 VSS,第十输入端  $i_{10}$  接地电压 VSS,第十一输入端  $i_{11}$  接输入端 A,第十二输入端  $i_{12}$  接输入端 B;

[0007] 第一超低压基本单元 1 的输出端 out 和第二超低压基本单元 2 的输出端 out 连接在一起作为超低压与非门电路的单端输入单端输出结构的输出端 QN。

[0008] 本发明提出的另一种超低压与非门电路,其特征在于,采用差分输入差分输出结构,由第一超低压与非门基本单元 1、第二超低压与非门基本单元 2、第三超低压与非门基本单元 3 和第四超低压与非门基本单元 4 组成;

[0009] 所述第一超低压与非门基本单元 1 的第一输入端  $i_1$  接输入端 BN,第二输入端  $i_2$  接输入端 A,第三输入端  $i_3$  接地电压 VSS,第四输入端  $i_4$  接地电压 VSS,第五输入端  $i_5$  接输入端 B,第六输入端  $i_6$  接输入端 AN,第七输入端  $i_7$  接输入端 AN,第八输入端  $i_8$  接地电压 VSS,第九输入端  $i_9$  接地电压 VSS,第十输入端  $i_{10}$  接地电压 VSS,第十一输入端  $i_{11}$  接地电压 VSS,第十二输入端  $i_{12}$  接输入端 BN,输出端 out 为 QIP;

[0010] 所述第二超低压与非门基本单元 2 的第一输入端  $i_1$  接输入端 A,第二输入端  $i_2$  接电源电压 VDD,第三输入端  $i_3$  接地电压 VSS,第四输入端  $i_4$  接地电压 VSS,第五输入端  $i_5$  接电源电压 VDD,第六输入端  $i_6$  接输入端 B,第七输入端  $i_7$  接输入端 B,第八输入端  $i_8$  接输入端 AN,第九输入端  $i_9$  接地电压 VSS,第十输入端  $i_{10}$  接地电压 VSS,第十一输入端  $i_{11}$  接输入端 BN,第十二输入端  $i_{12}$  接输入端 A,输出端 out 为 QIN;

[0011] 所述第三超低压与非门基本单元 3 的第一输入端  $i_1$  接输入端 B,第二输入端  $i_2$  接输入端 AN,第三输入端  $i_3$  接地电压 VSS,第四输入端  $i_4$  接地电压 VSS,第五输入端  $i_5$  接输入端 BN,第六输入端  $i_6$  接输入端 A,第七输入端  $i_7$  接输入端 A,第八输入端  $i_8$  接地电压 VSS,第九输入端  $i_9$  接地电压 VSS,第十输入端  $i_{10}$  接地电压 VSS,第十一输入端  $i_{11}$  接地电压 VSS,第十二输入端  $i_{12}$  接输入端 B,输出端 out 为 QQP;

[0012] 所述第四超低压与非门基本单元 4 的第一输入端  $i_1$  接输入端 AN,第二输入端  $i_2$  接电源电压 VDD,第三输入端  $i_3$  接地电压 VSS,第四输入端  $i_4$  接地电压 VSS,第五输入端  $i_5$  接电源电压 VDD,第六输入端  $i_6$  接输入端 BN,第七输入端  $i_7$  接输入端 BN,第八输入端  $i_8$  接输入端 A,第九输入端  $i_9$  接地电压 VSS,第十输入端  $i_{10}$  接地电压 VSS,第十一输入端  $i_{11}$  接输入端 B,第十二输入端  $i_{12}$  接输入端 AN,输出端 out 为 QQN;

[0013] 所述的第二超低压与非门基本单元和第三超低压与非门基本单元的输入端 A 和 B 分别相连作为超低压与非门电路的两个差分输入端;第一超低压与非门基本单元和第四超低压与非门基本单元的输入端 AN 和 BN 分别相连作为超低压与非门电路的两个差分输入端;各超低压与非门基本单元的输出端 QIP 和 QIN、输出端 QQP 和 QQN 分别作为超低压与非门电路的二个差分输出端。

[0014] 本发明的特点及效果:

[0015] 本发明采用 PMOS 晶体管的体偏技术,由二个 PMOS 管和二个 NMOS 管构成的超低压与非门基本单元组成,结构对称简单,易于设计。

[0016] 本发明可以在超低压下工作。可实现单端输入单端输入和差分输入差分输出。

[0017] 本发明所的输出信号的上升沿和下降沿对称性好。

## 附图说明

[0018] 图 1 是已有与非门电路的示意图;

[0019] 图 2 是本发明提出的采用单端输入单端输出结构的超低压与非门电路示意图;

[0020] 图 3 是本发明提出的采用差分输入差分输出结构的超低压与非门电路示意图；

[0021] 图 4 是超低压与非门基本单元的结构示意图；

[0022] 图 5 是图 2 中提出的超低压与非门电路在 0.5V 电源电压, 500MHz 输入信号时的时序波形；

[0023] 图 6 是图 2 中提出的超低压与非门电路在 0.6V 电源电压, 1GHz 输入信号时的时序波形；

[0024] 图 7 是图 3 中提出的超低压与非门电路在 0.6V 电源电压, 1GHz 输入信号时的时序波形；

### 具体实施方式

[0025] 本发明的超低压与非门电路结合附图及实施例详细说明如下：

[0026] 本发明提出的一种超低压与非门电路, 如图 2 所示, 其特征在于, 采用单端输入单端输出结构, 由第一超低压与非门基本单元 1 和第二超低压与非门基本单元 2 组成; 所述第一超低压与非门基本单元 1 的第一输入端  $i_1$  接输入端 A, 第二输入端  $i_2$  接输入端 B, 第三输入端  $i_3$  接地电压 VSS, 第四输入端  $i_4$  接地电压 VSS, 第五输入端  $i_5$  接电源电压 VDD, 第六输入端  $i_6$  接输入端 A, 第七输入端  $i_7$  接输入端 A, 第八输入端  $i_8$  接地电压 VSS, 第九输入端  $i_9$  接地电压 VSS, 第十输入端  $i_{10}$  接地电压 VSS, 第十一输入端  $i_{11}$  接输入端 B, 第十二输入端  $i_{12}$  接输入端 A;

[0027] 所述第二超低压与非门基本单元 2 的第一输入端  $i_1$  接输入端 B, 第二输入端  $i_2$  接输入端 A, 第三输入端  $i_3$  接地电压 VSS, 第四输入端  $i_4$  接地电压 VSS, 第五输入端  $i_5$  接电源电压 VDD, 第六输入端  $i_6$  接输入端 B, 第七输入端  $i_7$  接输入端 B, 第八输入端  $i_8$  接地电压 VSS, 第九输入端  $i_9$  接地电压 VSS, 第十输入端  $i_{10}$  接地电压 VSS, 第十一输入端  $i_{11}$  接输入端 A, 第十二输入端  $i_{12}$  接输入端 B;

[0028] 第一超低压基本单元 1 的输出端 out 和第二超低压基本单元 2 的输出端 out 连接在一起作为超低压与非门电路的单端输入单端输出结构的输出端 QN。

[0029] 本发明提出的另一种超低压与非门电路, 如图 3 所示, 其特征在于, 采用差分输入差分输出结构, 由第一超低压与非门基本单元 1、第二超低压与非门基本单元 2、第三超低压与非门基本单元 3 和第四超低压与非门基本单元 4 组成;

[0030] 所述第一超低压与非门基本单元 1 的第一输入端  $i_1$  接输入端 BN, 第二输入端  $i_2$  接输入端 A, 第三输入端  $i_3$  接地电压 VSS, 第四输入端  $i_4$  接地电压 VSS, 第五输入端  $i_5$  接输入端 B, 第六输入端  $i_6$  接输入端 AN, 第七输入端  $i_7$  接输入端 AN, 第八输入端  $i_8$  接地电压 VSS, 第九输入端  $i_9$  接地电压 VSS, 第十输入端  $i_{10}$  接地电压 VSS, 第十一输入端  $i_{11}$  接地电压 VSS, 第十二输入端  $i_{12}$  接输入端 BN, 输出端 out 标记为 QIP;

[0031] 所述第二超低压与非门基本单元 2 的第一输入端  $i_1$  接输入端 A, 第二输入端  $i_2$  接电源电压 VDD, 第三输入端  $i_3$  接地电压 VSS, 第四输入端  $i_4$  接地电压 VSS, 第五输入端  $i_5$  接电源电压 VDD, 第六输入端  $i_6$  接输入端 B, 第七输入端  $i_7$  接输入端 B, 第八输入端  $i_8$  接输入端 AN, 第九输入端  $i_9$  接地电压 VSS, 第十输入端  $i_{10}$  接地电压 VSS, 第十一输入端  $i_{11}$  接输入端 BN, 第十二输入端  $i_{12}$  接输入端 A, 输出端 out 标记为 QIN;

[0032] 所述第三超低压与非门基本单元 3 的第一输入端  $i_1$  接输入端 B, 第二输入端  $i_2$  接

输入端 AN, 第三输入端  $i_3$  接地电压 VSS, 第四输入端  $i_4$  接地电压 VSS, 第五输入端  $i_5$  接输入端 BN, 第六输入端  $i_6$  接输入端 A, 第七输入端  $i_7$  接输入端 A, 第八输入端  $i_8$  接地电压 VSS, 第九输入端  $i_9$  接地电压 VSS, 第十输入端  $i_{10}$  接地电压 VSS, 第十一输入端  $i_{11}$  接地电压 VSS, 第十二输入端  $i_{12}$  接输入端 B, 输出端 out 标记为 QQP;

[0033] 所述第四超低压与非门基本单元 4 的第一输入端  $i_1$  接输入端 AN, 第二输入端  $i_2$  接电源电压 VDD, 第三输入端  $i_3$  接地电压 VSS, 第四输入端  $i_4$  接地电压 VSS, 第五输入端  $i_5$  接电源电压 VDD, 第六输入端  $i_6$  接输入端 BN, 第七输入端  $i_7$  接输入端 BN, 第八输入端  $i_8$  接输入端 A, 第九输入端  $i_9$  接地电压 VSS, 第十输入端  $i_{10}$  接地电压 VSS, 第十一输入端  $i_{11}$  接输入端 B, 第十二输入端  $i_{12}$  接输入端 AN, 输出端 out 标记为 QQN;

[0034] 上述所述的第二超低压与非门基本单元和第三超低压与非门基本单元的输入端 A 和 B 分别相连作为超低压与非门电路的两个差分输入端; 第一超低压与非门基本单元和第四超低压与非门基本单元的输入端 AN 和 BN 分别相连作为超低压与非门电路的两个差分输入端; 各超低压与非门基本单元的输出端 QIP 和 QIN、QQP 和 QQN 分别作为超低压与非门电路的二个差分输出端。

[0035] 上述所有超低压与非门基本单元结构如图 4 所示, 均可由第一 PMOS 管  $M_1$ 、第二 PMOS 管  $M_2$ 、第三 PMOS 管  $M_3$  和第四 PMOS 管  $M_4$  组成; 其中, 第一 PMOS 管  $M_1$  的栅极接第一输入端  $i_1$ , 第一 PMOS 管  $M_1$  的源极接第二输入端  $i_2$ , 第一 PMOS 管  $M_1$  的衬底接第三输入端  $i_3$ ; 第二 PMOS 管  $M_2$  的栅极接第六输入端  $i_6$ , 第二 PMOS 管  $M_2$  的源极接第五输入端  $i_5$ , 第二 PMOS 管  $M_2$  的衬底接第四输入端  $i_4$ ; 第三 PMOS 管  $M_3$  的栅极接第七输入端  $i_7$ , 第三 PMOS 管  $M_3$  的源极接第八输入端  $i_8$ , 第三 PMOS 管  $M_3$  的衬底接第九输入端  $i_9$ ; 第四 PMOS 管  $M_4$  的栅极接第十二输入端  $i_{12}$ , 第四 PMOS 管  $M_4$  的源极接第十一输入端  $i_{11}$ , 第四 PMOS 管  $M_4$  的衬底接第十输入端  $i_{10}$ ; 第一 PMOS 管的漏极  $M_1$ 、第二 PMOS 管的漏极  $M_2$ 、第三 PMOS 管  $M_3$  的漏极和第四 PMOS 管  $M_4$  的漏极相连, 标记为 out。

[0036] 本发明所述的超低压与非门电路, 采用 PMOS 晶体管的体偏技术, 其单端输入单端输出结构由两个基于四个 PMOS 管和四个 NMOS 管的超低压基本单元组成, 而差分输入差分输出结构由四个超低压基本单元组成, 结构对称简单, 易于设计。本发明所述的超低压与非门电路可以在超低压下工作。本发明所述的超低压与非门电路的输出信号的上升沿和下降沿对称性好, 并具有扇入对称特性。

[0037] 以下介绍对本发明所述的超低压与非门电路进行仿真验证的结果:

[0038] 图 2 所示的本发明所述的超低压与非门电路采用 CMOS 65nm 工艺进行设计, 以验证本发明的正确性。(1) 当输入信号频率为 500MHz, 输入端 A 和输入端 B 所加信号的延时差为 400ps, 电路仿真结果如图 5 所示, 该曲线图的垂直坐标轴和水平坐标轴分别表示以伏特 (V) 为单位的电压和相应的时间 (ns)。输入端 A 和输入端 B 同时为高电平, 输出端 QN 为低电平; 输入端 A 为高电平, 输入端 B 为低电平, 输出端 QN 为高电平; 输入端 A 为低电平, 输入端 B 为高电平, 输出端 QN 为高电平; 输入端 A 为低电平, 输入端 B 为低电平, 输出端 QN 为高电平; 这些符合与非门电路逻辑关系。(2) 当输入信号频率为 1GHz, 输入端 A 和输入端 B 所加信号的延时差为 200ps, 电路仿真结果如图 6 所示, 该曲线图的垂直坐标轴和水平坐标轴分别表示以伏特 (V) 为单位的电压和相应的时间 (ns)。输入端 A 和输入端 B 同时为高电平, 输出端 QN 为低电平; 输入端 A 为高电平, 输入端 B 为低电平, 输出端 QN 为高电平; 输入

端 A 为低电平,输入端 B 为高电平,输出端 QN 为高电平;输入端 A 为低电平,输入端 B 为低电平,输出端 QN 为高电平;这些符合与非门电路逻辑关系。图 3 所示的本发明所述的超低压与非门电路采用 CMOS 65nm 工艺进行设计,以验证本发明的正确性。当输入信号频率为 1GHz,输入端 A 和输入端 B 所加信号的延时差为 200ps,输入端 AN 和 BN 分别加与输入端 A 和 B 反相的信号,电路仿真结果如图 7 所示,该曲线图的垂直坐标轴和水平坐标轴分别表示以伏特 (V) 为单位的电压和相应的时间 (ns)。QIP 和 QIN 以差分形式输出,QQP 和 QQN 以差分形式输出。上述仿真结果验证本发明提出的超低压与非门电路。

[0039] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。



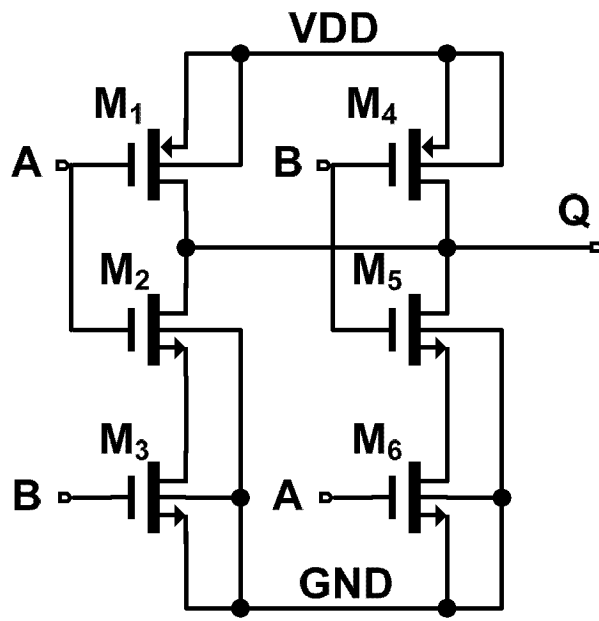


图 1

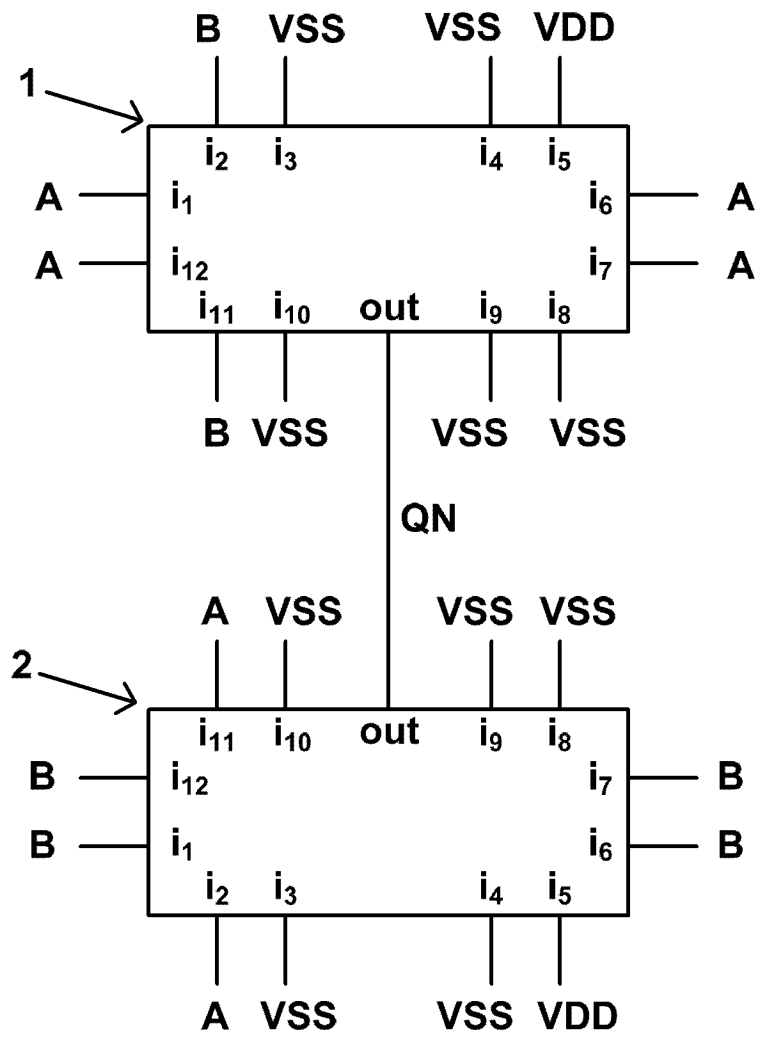


图 2

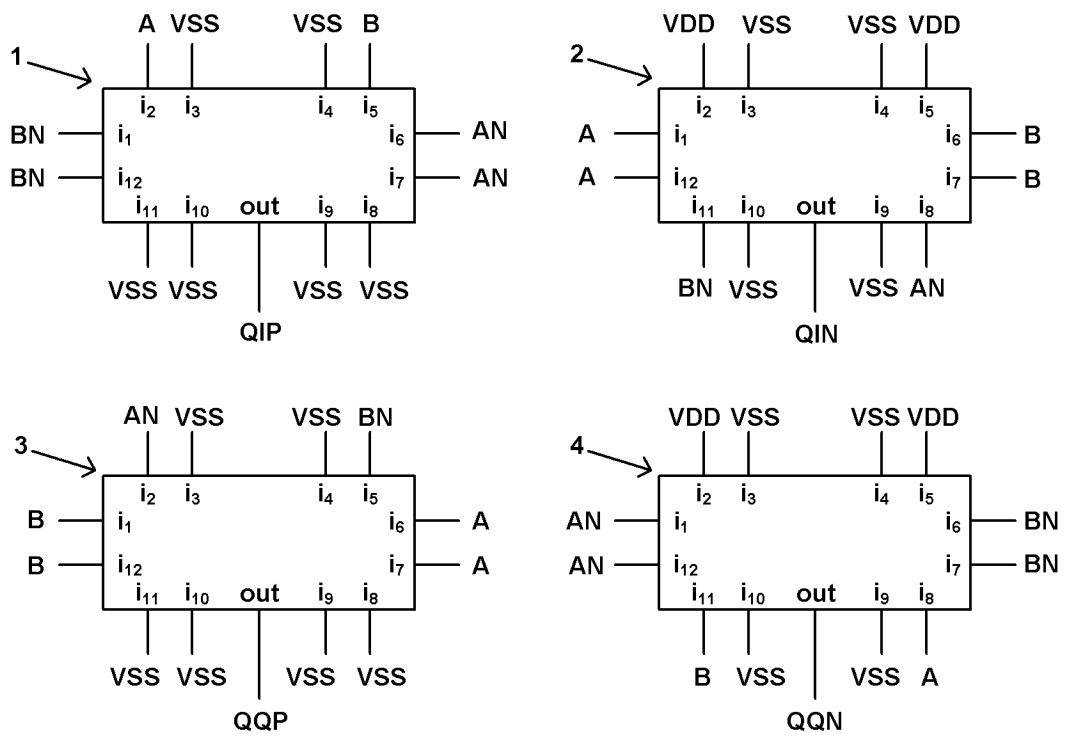


图 3

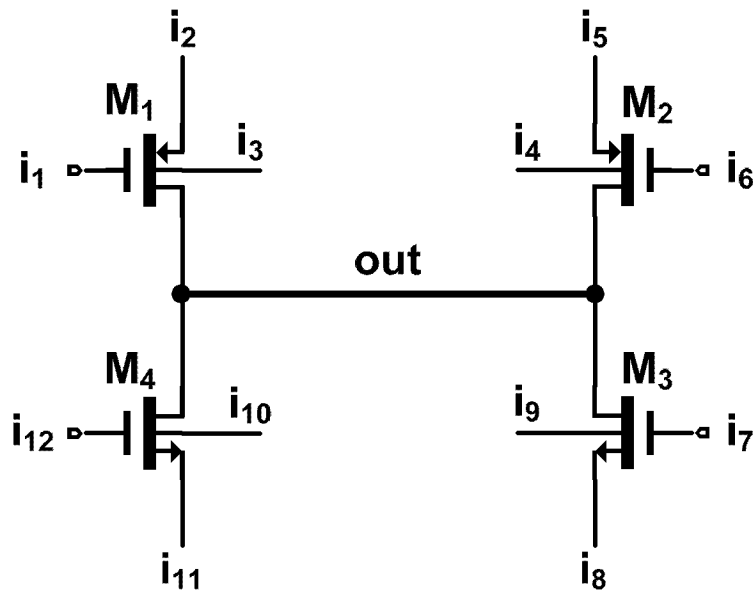


图 4

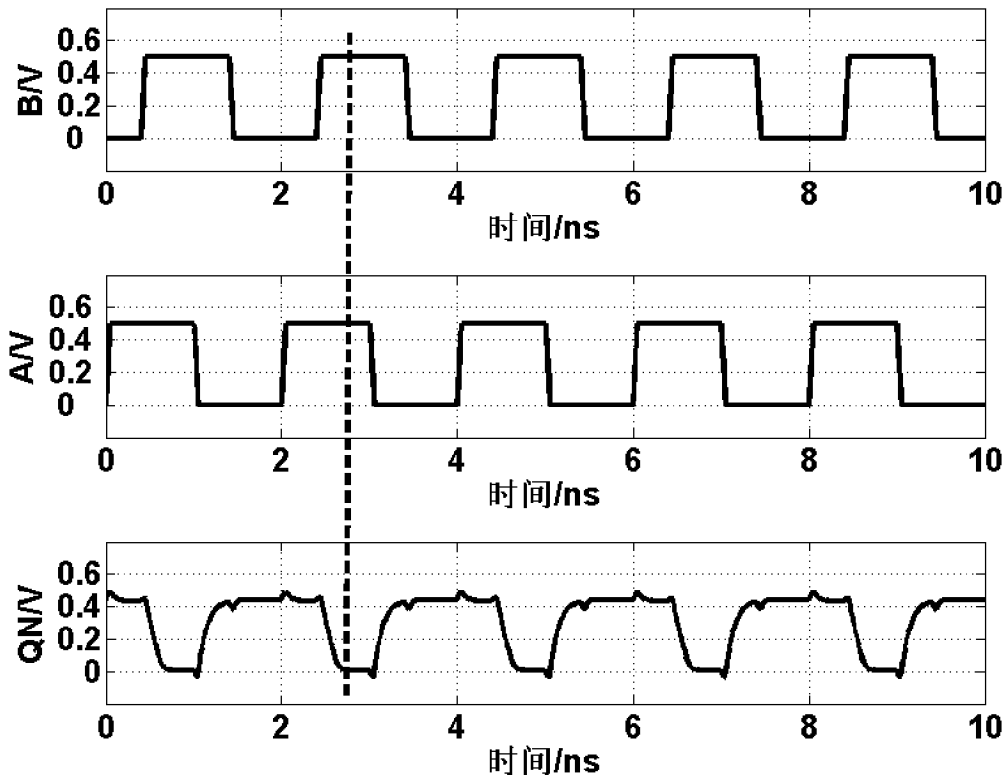


图 5

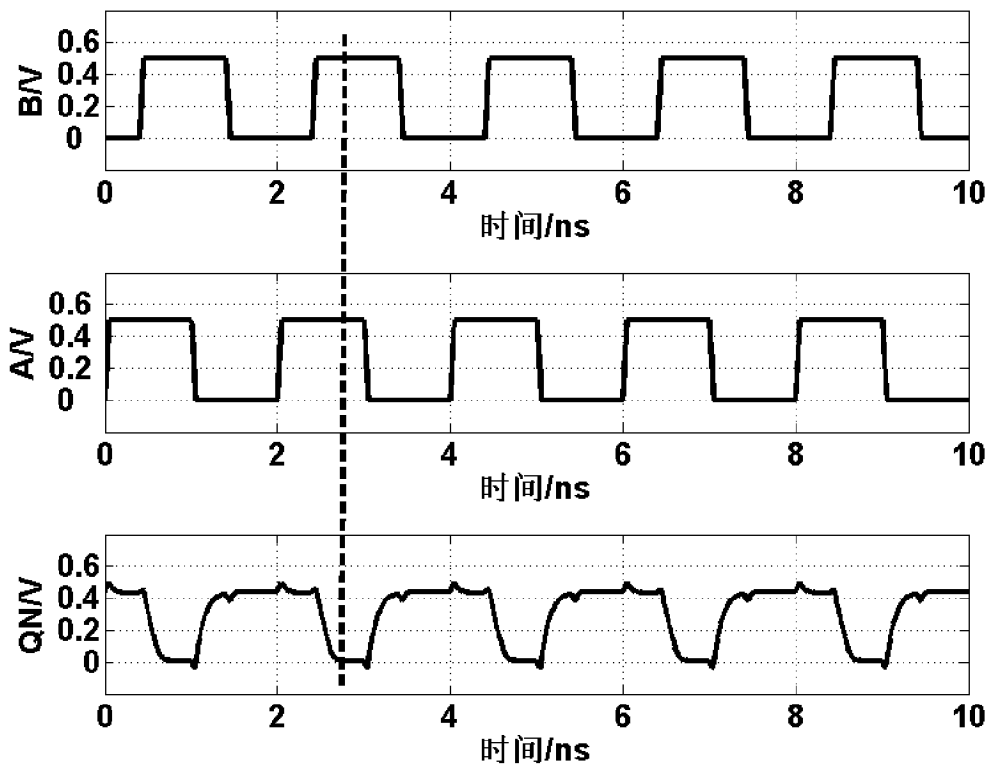


图 6

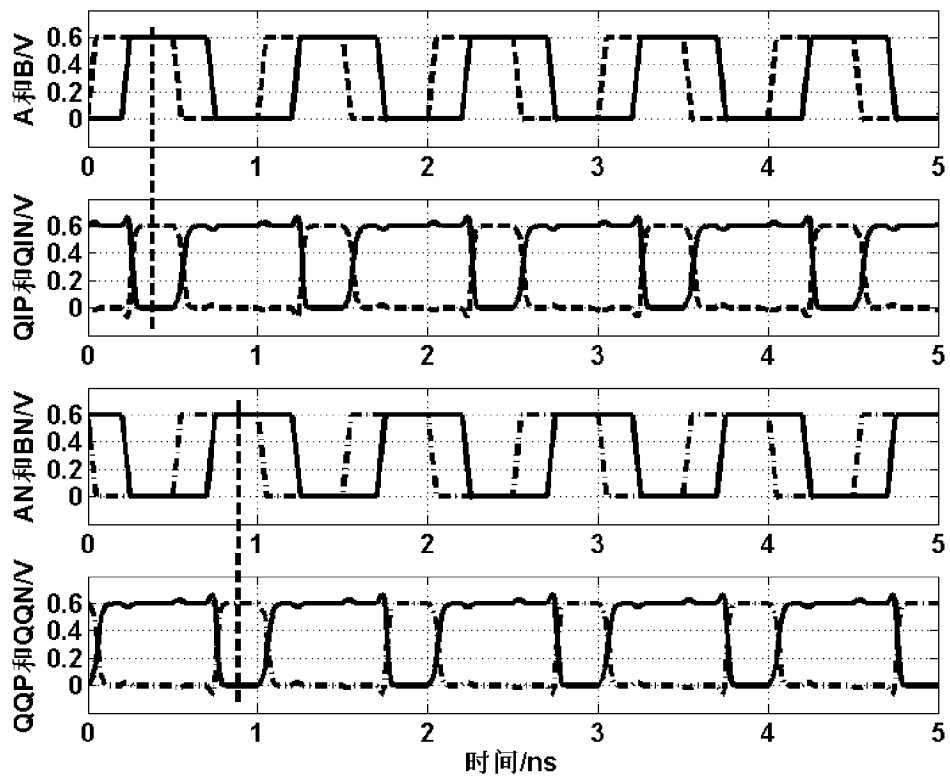


图 7