



(12) 发明专利

(10) 授权公告号 CN 102075182 B

(45) 授权公告日 2013. 01. 02

(21) 申请号 200910238759. 2

US 7102400 B1, 2006. 09. 05, 全文 .

(22) 申请日 2009. 11. 24

审查员 刘佩伟

(73) 专利权人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 陈勇 周玉梅 黑勇

(74) 专利代理机构 中科专利商标代理有限责任  
公司 11021

代理人 周国城

(51) Int. Cl.

H03L 7/08 (2006. 01)

H03L 7/085 (2006. 01)

H03L 7/099 (2006. 01)

H03L 7/18 (2006. 01)

(56) 对比文件

CN 2859925 Y, 2007. 01. 17, 说明书摘要、说明书第 4 页第 24-30 行、第 5 页第 1-15 行、图 1.

US 6747506 B1, 2004. 06. 08, 全文 .

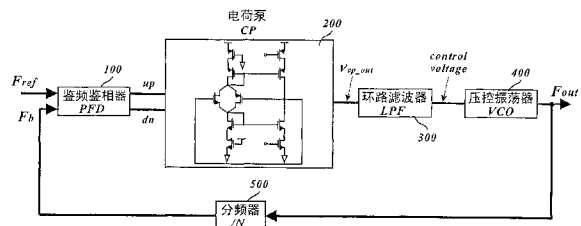
权利要求书 2 页 说明书 6 页 附图 5 页

(54) 发明名称

一种快速锁定的电荷泵锁相环

(57) 摘要

本发明公开了一种快速锁定的电荷泵锁相环, 该锁相环由依次连接的鉴频鉴相器、电荷泵、环路滤波器、压控振荡器和分频器构成, 且分频器还连接于鉴频鉴相器, 使鉴频鉴相器、电荷泵、环路滤波器、压控振荡器和分频器连接成一个环路, 该快速锁定的锁相环的输入信号是参考频率信号  $F_{ref}$ , 输出信号是锁相环生成的期待的频率信号  $F_{out}$ 。相比传统电荷泵锁相环, 本发明电荷泵锁相环有效地减小了锁定时间, 并且结构简单, 易于实现。



1. 一种快速锁定的电荷泵锁相环,其特征在于,该锁相环由依次连接的鉴频鉴相器、电荷泵、环路滤波器、压控振荡器和分频器构成,且分频器还连接于鉴频鉴相器,使鉴频鉴相器、电荷泵、环路滤波器、压控振荡器和分频器连接成一个环路,该快速锁定的锁相环的输入信号是参考频率信号  $F_{ref}$ ,输出信号是锁相环生成的期待的频率信号  $F_{out}$ ;该锁相环包括:

一鉴频鉴相器,该鉴频鉴相器输出控制信号  $up$  和  $dn$ ;

一电荷泵,该电荷泵的输入端接鉴频鉴相器的输出控制信号  $up$  和  $dn$ ,输出端接环路滤波器;

一环路滤波器,该环路滤波器的输入端接电荷泵的输出端,输出端接压控振荡器;

一压控振荡器,该压控振荡器的输入端接环路滤波器的输出端,输出端接分频器;

一分频器,该分频器的输入端接压控振荡器的输出端,分频器的输出端反馈到鉴频鉴相器的输入端;

其中,所述电荷泵包括:

一上拉电路,包括一个 PMOS 上拉开关晶体管,用于接收鉴频鉴相器输出的控制命令信号;一个 PMOS 电流镜,用于提供充电电流;

一个 PMOS 晶体管,用于匹配 PMOS 上拉开关管;

一下拉电路,包括一个 NMOS 下拉开关晶体管,用于接收鉴频鉴相器输出的控制命令信号;一个 NMOS 电流镜,用于提供放电电流;一个 NMOS 晶体管,用于匹配 NMOS 下拉开关管;以及

一反馈控制电路,包括一个 PMOS 晶体管和—个 NMOS 晶体管,用于动态控制充放电电流大小。

2. 如权利要求 1 所述的快速锁定的电荷泵锁相环,其特征在于,所述上拉电路包括:

PMOS 上拉开关晶体管  $Mp2$  (220),该晶体管的栅极接输入端  $up$  (201),漏极标记为  $net2$ ,源极和衬底接电源电压  $VDD$ ;

PMOS 晶体管  $Mp3$  (217),该晶体管的栅极标记为  $net5$ ,漏极接  $net5$ ,源极和衬底标记为  $net1$ ;

PMOS 晶体管  $Mp4$  (218),该晶体管的栅极接  $net5$ ,漏极接  $V_{cp\_out}$  (203),源极和衬底接  $net2$ ;

PMOS 晶体管  $Mp1$  (219),该晶体管的栅极接地电压  $GND$ ,漏极接  $net1$ ,源极和衬底接电源电压  $VDD$ 。

3. 如权利要求 1 所述的快速锁定的电荷泵锁相环,其特征在于,所述下拉电路包括:

NMOS 下拉开关晶体管  $Mn2$  (211),该晶体管的栅极接输入端  $dn$  (202),漏极标记为  $net4$ ,源极和衬底接电源电压  $GND$ ;

NMOS 晶体管  $Mn3$  (212),该晶体管的栅极标记为  $net6$ ,漏极接  $net6$ ,源极标记为  $net3$ ,衬底接地电压  $GND$ ;

NMOS 晶体管  $Mn4$  (213),该晶体管的栅极接  $net5$ ,漏极接  $V_{cp\_out}$  (203),源极接  $net4$ ,衬底接地电压  $GND$ ;

NMOS 晶体管  $Mn1$  (210),该晶体管的栅极接电源电压  $VDD$ ,漏极接  $net3$ ,源极和衬底接电源电压  $GND$ 。

4. 如权利要求 1 所述的快速锁定的电荷泵锁相环,其特征在于,所述反馈控制电路包括:

PMOS 晶体管 Mp5(216),该晶体管的栅极接 Vcp\_out(203),漏极接 net6,源极和衬底接 net5;

NMOS 晶体管 Mn5(215),该晶体管的栅极接 Vcp\_out(203),漏极接 net5,源极接 net6,衬底接地电压 GND。

5. 如权利要求 1 所述的快速锁定的电荷泵锁相环,其特征在于:所述 PMOS 电流镜、NMOS 电流镜和反馈控制电路构成电荷泵的核心,实现非常数电流,并且动态匹配。

6. 如权利要求 1 所述的快速锁定的电荷泵锁相环,其特征在于:所述电荷泵是该快速锁定的电荷泵锁相环的核心部分,该电荷泵可产生动态变化、非常量电流,使得该快速锁定的电荷泵锁相环,在捕获过程增大环路带宽以加快锁定,在接近锁定过程减小环路带宽以降低带内噪声和毛刺。

## 一种快速锁定的电荷泵锁相环

### 技术领域

[0001] 本发明涉及微电子学中电荷泵锁相环技术领域,尤其涉及一种快速锁定的电荷泵锁相环。

### 背景技术

[0002] 锁相环是一个闭环反馈系统,它融合了相位自动控制技术和频率自动控制技术。锁相环的功能是跟踪输入信号相位和频率的变化,使输出被锁定为相位低抖动的频率信号,它是射频和数模混合电路中最基本也是最重要的模块之一。电荷泵锁相环广泛应用于无线通信技术领域,是目前锁相环技术设计研究的一个热点。

[0003] 图 1 是一种典型的电荷泵锁相环电路,其中包括了鉴相鉴频器 (PFD)、电荷泵 (CP)、环路滤波器 (LF) 和压控振荡器 (VCO),通常会包括一个分频器 ( $/N$ ) 以使电荷泵锁相环具有频率综合的功能。整数分频比  $N$  使得电荷泵锁相环输出和输入信号之间频率关系为:  $F_{out} = F_{ref} * N$ 。其中鉴相鉴频器用来比较输入参考时钟  $F_{ref}$  和分频器输出时钟  $F_b$  的大小,根据两个输入时钟信号之间相位差产生一个上拉信号或下拉信号用于控制电荷泵的充电支路和放电支路。电荷泵电路根据鉴相鉴频器输出的上拉信号和下拉信号,释放或积累滤波电容上的电荷。环路滤波器把电荷泵输出的脉冲信号转换成直流模拟控制信号。压控振荡器根据直流模拟控制电压的大小调整输出频率,使得通过分频器后的信号频率与输入参考时钟频率很接近。当锁相环检测到相位误差时,内部的负反馈机制开始作用使输出时钟信号在频率以及相位上与输入参考时钟同步,并最终达到锁定状态。

[0004] 电荷泵锁相环的锁定时间是一个非常关键的参数,它决定了通信系统的开启 / 关闭时间以及不同频率信道切换速度。对于时分复用 (TDMA) 系统和扩频跳频通信系统中,电荷泵锁相环的快速锁定时间必须满足时间间隔的要求。如果电荷泵锁相环不能快速响应,则会降低系统的数据率。因此如何快速锁定所需要的频带减少锁定时间成为电荷泵锁相环设计要面临的一个新的难题。

[0005] 在当前有关快速锁定的各种方法中,动态环路带宽方法是将捕获过程和锁定过程的环路带宽可调。由于锁定过程对于实际应用系统来说,纯粹是浪费时间的过程。因此动态分配环路带宽;在捕获过程中,增大环路带宽,减小捕获时间;当接近锁定时,减小环路带宽,来达到低噪声和低毛刺。动态环路带宽的具体实现有很多种方法,如采用双斜率鉴相鉴频器(参考文献:Yang, C. Y., and Liu, S. I.: 'Fast-switching frequency synthesizer with a discriminator-aided phase detector', IEEE J. Solid-State Circuits, 2000, 35, (10), pp. 1445-1452)、双环路滤波器、动态变化分频比和切换输入参考频率等,这些方法增加了电路的复杂程度、功耗和面积。

### 发明内容

[0006] (一) 要解决的技术问题

[0007] 有鉴于此,本发明的主要目的在于,提供一种快速锁定的电荷泵锁相环,它不需要

改变 PFD 和环路滤波器而采用非常量电流的电荷泵缩短电荷泵锁相环的锁定时间。该电荷泵锁相环所采用的电荷泵具有自偏置、充放电电流自跟踪的特点,使得该锁相环结构简单,易实现(不需要外加辅助电路)。

#### [0008] (二) 技术方案

[0009] 为达到上述目的,本发明提供了一种快速锁定的电荷泵锁相环,该锁相环由依次连接的鉴频鉴相器、电荷泵、环路滤波器、压控振荡器和分频器构成,且分频器还连接于鉴频鉴相器,使鉴频鉴相器、电荷泵、环路滤波器、压控振荡器和分频器连接成一个环路,该快速锁定的锁相环的输入信号是参考频率信号  $F_{ref}$ , 输出信号是锁相环生成的期待的频率信号  $F_{out}$ 。

[0010] 上述方案中,该锁相环包括:

[0011] 一鉴频鉴相器,该鉴频鉴相器输出控制信号  $up$  和  $dn$ ;

[0012] 一电荷泵,该电荷泵的输入端接鉴频鉴相器的输出控制信号  $up$  和  $dn$ , 输出端接环路滤波器;

[0013] 一环路滤波器,该环路滤波器的输入端接电荷泵的输出端,输出端接压控振荡器;

[0014] 一压控振荡器,该压控振荡器的输入端接环路滤波器的输出端,输出端接分频器;

[0015] 一分频器,该分频器的输入端接压控振荡器的输出端,分频器的输出端反馈到鉴频鉴相器的输入端。

[0016] 上述方案中,所述电荷泵包括:

[0017] 一上拉电路,包括一个 PMOS 上拉开关晶体管,用于接收鉴频鉴相器输出的控制命令信号;一个 PMOS 电流镜,用于提供充电电流;一个 PMOS 晶体管,用于匹配 PMOS 上拉开关管;

[0018] 一下拉电路,包括一个 NMOS 下拉开关晶体管,用于接收鉴频鉴相器输出的控制命令信号;一个 NMOS 电流镜,用于提供放电电流;一个 NMOS 晶体管,用于匹配 NMOS 下拉开关管;以及

[0019] 一反馈控制电路,包括一个 PMOS 晶体管和—个 NMOS 晶体管,用于动态控制充放电电流大小。

[0020] 上述方案中,所述上拉电路包括:

[0021] PMOS 上拉开关晶体管  $M_{p2}$  (220), 该晶体管的栅极接输入端  $up$  (201), 漏极标记为  $net2$ , 源极和衬底接电源电压  $VDD$ ;

[0022] PMOS 晶体管  $M_{p3}$  (217), 该晶体管的栅极标记为  $net5$ , 漏极接  $net5$ , 源极和衬底标记为  $net1$ ;

[0023] PMOS 晶体管  $M_{p4}$  (218), 该晶体管的栅极接  $net5$ , 漏极接  $V_{cp\_out}$  (203), 源极和衬底接  $net2$ ;

[0024] PMOS 晶体管  $M_{p1}$  (219), 该晶体管的栅极接地电压  $GND$ , 漏极接  $net1$ , 源极和衬底接电源电压  $VDD$ 。

[0025] 上述方案中,所述下拉电路包括:

[0026] NMOS 下拉开关晶体管  $M_{n2}$  (211), 该晶体管的栅极接输入端  $dn$  (202), 漏极标记为

net4,源极和衬底接电源电压 GND ;

[0027] NMOS 晶体管 Mn3 (212),该晶体管的栅极标记为 net6,漏极接 net6,源极标记为 net3,衬底接地电压 GND ;

[0028] NMOS 晶体管 Mn4 (213),该晶体管的栅极接 net5,漏极接 Vcp\_out (203),源极接 net4,衬底接地电压 GND ;

[0029] NMOS 晶体管 Mn1 (210),该晶体管的栅极接电源电压 VDD,漏极接 net3,源极和衬底接电源电压 GND。

[0030] 上述方案中,所述反馈控制电路包括 :

[0031] PMOS 晶体管 Mp5 (216),该晶体管的栅极接 Vcp\_out (203),漏极接 net6,源极和衬底接 net5 ;

[0032] NMOS 晶体管 Mn5 (215),该晶体管的栅极接 Vcp\_out (203),漏极接 net5,源极接 net6,衬底接地电压 GND。

[0033] 上述方案中,所述 PMOS 电流镜、NMOS 电流镜和反馈控制电路构成电荷泵的核心,实现非常数电流,并且动态匹配。

[0034] 上述方案中,所述电荷泵是该快速锁定的电荷泵锁相环的核心部分,该电荷泵可产生动态变化、非常量电流,使得该快速锁定的电荷泵锁相环,在捕获过程增大环路带宽以加快锁定,在接近锁定过程减小环路带宽以降低带内噪声和毛刺。

[0035] (三)有益效果

[0036] 从上述技术方案可以看出,本发明具有以下有益效果 :

[0037] 1、本发明提供的这种快速锁定的电荷泵锁相环,不需要改变 PFD 和环路滤波器而采用非常量电流的电荷泵,与采用常量电流电荷泵的传统电荷泵锁相环相比,有效地缩短了锁相环的锁定时间。

[0038] 2、本发明提供的这种快速锁定的电荷泵锁相环,所包括的电荷泵由上拉电路、下拉电路和反馈控制电路,实现了非常量电流,充电电流和放电电流动态跟踪匹配,并且不需要外加偏置电流,进一步降低功耗和面积。

[0039] 3、本发明提供的这种快速锁定的电荷泵锁相环,相比传统电荷泵锁相环,只需将传统电荷泵由提出自偏置电荷泵替换,结构简单,易于实现。

## 附图说明

[0040] 通过下述优选实施例结合附图的描述,本发明的上述及其它特征将会变得更加明显,其中 :

[0041] 图 1 是一种典型的电荷泵锁相环原理图 ;

[0042] 图 2 是本发明提供的快速锁定的电荷泵锁相环的电路示意图 ;

[0043] 图 3 是本发明提供的快速锁定的电荷泵锁相环中电荷泵的电路示意图 ;

[0044] 图 4 是一种采用传统常量电流电荷泵的电荷泵锁相环的电路示意图 ;

[0045] 图 5 是二阶环路滤波器的电路示意图 ;

[0046] 图 6 是传统常量电流电荷泵的充放电电流随电荷泵输出电压变化曲线 ;

[0047] 图 7 是提出非常量电流电荷泵的充放电电流随电荷泵输出电压变化曲线 ;

[0048] 图 8 是图 2 提出电荷泵锁相环和图 4 传统电荷泵锁相环的建立时间对比曲线。

## 具体实施方式

[0049] 为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明进一步详细说明。

[0050] 图 2 是本发明提供的快速锁定的电荷泵锁相环的电路示意图。本发明一种快速锁定的锁相环由依次连接的鉴频鉴相器 (PFD)、电荷泵 (CP)、环路滤波器 (LP)、压控振荡器 (VCO) 和分频器 (/N) 构成，且分频器还连接于鉴频鉴相器，使鉴频鉴相器、电荷泵、环路滤波器、压控振荡器和分频器连接成一个环路。快速锁定的锁相环的输入信号是参考频率信号  $F_{ref}$ ，输出信号是锁相环生成的期待的频率信号  $F_{out}$ 。提出的快速锁定方法是采用非常量电流的电荷泵，不需要改变 PFD 和环路滤波器。电荷泵电路是提出快速锁定的电荷泵锁相环的核心部分，该电路本身可以产生动态变化、非常量电流，这些特性使得提出快速锁定的锁相环，在捕获过程增大环路带宽以加快锁定，在接近锁定过程减小环路带宽以降低带内噪声和毛刺。

[0051] 再参照图 2，该锁相环具体包括：一鉴频鉴相器 (PFD) 100，该鉴频鉴相器 100 输出控制信号 up 和 dn；一电荷泵 (CP) 200，该电荷泵 200 的输入端接鉴频鉴相器 100 的输出控制信号 up 和 dn，输出端接环路滤波器；一环路滤波器 (LPF) 300，该环路滤波器 300 的输入端接电荷泵 200 的输出端，输出端接压控振荡器；一压控振荡器 (VCO) 400，该压控振荡器 400 的输入端接环路滤波器 300 的输出端，输出端接分频器；一分频器 (/N) 500，该分频器 500 的输入端接压控振荡器 400 的输出端，分频器 500 的输出端反馈到鉴频鉴相器 100 的输入端；

[0052] 图 3 是电荷泵 200 的示意图，应用于图 2 所示的快速锁定的电荷泵锁相环，具体包括：

[0053] 一上拉电路，包括一个 PMOS 上拉开关晶体管，用于接收 PFD 输出的控制命令信号；一个 PMOS 电流镜，用于提供充电电流；一个 PMOS 晶体管，用于匹配 PMOS 上拉开关管；

[0054] 一下拉电路，包括一个 NMOS 下拉开关晶体管，用于接收 PFD 输出的控制命令信号；一个 NMOS 电流镜，用于提供放电电流；一个 NMOS 晶体管，用于匹配 NMOS 下拉开关管；以及

[0055] 一反馈控制电路，包括一个 PMOS 晶体管和一个 NMOS 晶体管，用于动态控制充放电电流大小。

[0056] 所述上拉电路包括：

[0057] PMOS 上拉开关晶体管 220 (Mp2)，该晶体管的栅极接输入端 201 (/up)，漏极标记为 net2，源极和衬底接电源电压 VDD；

[0058] PMOS 晶体管 217 (Mp3)，该晶体管的栅极标记为 net5，漏极接 net5，源极和衬底标记为 net1；

[0059] PMOS 晶体管 218 (Mp4)，该晶体管的栅极接 net5，漏极接 203 (Vcp\_out)，源极和衬底接 net2；

[0060] PMOS 晶体管 219 (Mp1)，该晶体管的栅极接地电压 GND，漏极接 net1，源极和衬底接电源电压 VDD。

[0061] 所述下拉电路包括：

[0062] NMOS 下拉开关晶体管 211 (Mn2)，该晶体管的栅极接输入端 202 (dn)，漏极标记为

net4,源极和衬底接电源电压 GND ;

[0063] NMOS 晶体管 212 (Mn3),该晶体管的栅极标记为 net6,漏极接 net6,源极标记为 net3,衬底接地电压 GND ;

[0064] NMOS 晶体管 213 (Mn4),该晶体管的栅极接 net5,漏极接 203 (Vcp\_out),源极接 net4,衬底接地电压 GND ;

[0065] NMOS 晶体管 210 (Mn1),该晶体管的栅极接电源电压 VDD,漏极接 net3,源极和衬底接电源电压 GND。

[0066] 所述反馈控制电路包括 :

[0067] PMOS 晶体管 216 (Mp5),该晶体管的栅极接 203,漏极接 net6,源极和衬底接 net5 ;

[0068] NMOS 晶体管 215 (Mn5),该晶体管的栅极接 203,漏极接 net5,源极接 net6,衬底接地电压 GND。

[0069] 其中电荷泵电路是提出快速锁定的电荷泵锁相环的核心部分,该电路本身可以产生动态变化、非常量电流,这些特性使得提出快速锁定的锁相环,在捕获过程增大环路带宽以加快锁定,在接近锁定过程减小环路带宽以降低带内噪声和毛刺。

[0070] 为了更加详细的说明本发明提出的一种快速锁定的电荷泵锁相环的技术特点,接下来采用 SMIC(中芯国际集成电路制造有限公司)的 CMOS0.18  $\mu\text{m}$  混合信号工艺进行仿真验证。图 4 给出了一种传统电荷泵锁相环的电路示意图,与提出快速锁定的电荷泵锁相环不同之处在于,只将提出锁相环中的电荷泵替换成传统电荷泵。图 5 给出了图 2 提出锁相环和图 4 传统锁相环中环路滤波器的具体实现电路,包括一个电阻 (R1) 和两个电容 (C1 和 C2),这样 Vcp\_out 和 control voltage 的电压是一样的(即电荷泵的输出电压就直接连接 VCO 的控制电压)。对于图 4 传统电荷泵锁相环,给出系统设计参数如下:电荷泵电流  $5\mu\text{A}$ ,  $K_{\text{VCO}} = 1500\text{MHz/V}$ ,  $C_1 = 23\text{p}$ ,  $C_2 = 1.4\text{p}$ ,  $R_2 = 28.4$  欧姆,分频比为 64。这些系统参数使得环路的相位裕度大于  $60^\circ$ 。

[0071] 图 6 是传统电荷泵锁相环中所用电荷泵的充放电电流随电荷泵输出电压变化曲线,该曲线图的垂直坐标轴和水平坐标轴分别表示以微安培 ( $\mu\text{A}$ ) 为单位的充放电电流和以伏特 (V) 为单位的电荷泵输出电压。该曲线可以分析:在  $0.4\text{V} \sim 1.4\text{V}$  电荷泵输出电压范围内,充放电电流尽可能保持常量,并且两者之差尽量小。

[0072] 图 7 中描述的曲线是图 3 中提出的电荷泵的充放电电流与电荷泵输出电压的关系曲线,该曲线图的垂直坐标轴和水平坐标轴分别表示以微安培 ( $\mu\text{A}$ ) 为单位的充放电电流和以伏特 (V) 为单位的电荷泵输出电压。从该曲线可以分析:

[0073] (1)  $0 \sim 0.4\text{V}$ , Mn5 始终处于截止区, Mp5 处于线性区, Mn4 从线性区向饱和区转变, Mn3 和 Mp3 处于饱和区, Mp4 处于饱和区,其余晶体管都处于线性区。Mp1-Mp3-Mp5-Mn3-Mn1 形成直流通路 L1,当电荷泵输出电压为  $0\text{V}$  时, Mp3 的栅极电压最低(相应 Mn3 的栅极电压最高)使得该直流通路电流最大,由于电流镜的镜像作用使得充电电流最大,放电电流最小 (Mn4 处于深度线性区)。随着电荷泵输出电压升高, Mp3 的栅极电压升高(相应 Mn3 的栅极电压降低)使得直流通路 L1 电流减小。由于电流镜的镜像作用使得充电电流降低,放电电流升高 (Mn4 从线性区向饱和区转变)。

[0074] (2)  $0.4 \sim 0.9\text{V}$ , Mn5 处于截止区,上拉电流镜和下拉电流镜都处于饱和区,其余晶体管都处于线性区。Mp1-Mp3-Mp5-Mn3-Mn1 形成直流通路 L1,随着电荷泵输出电压升高,L1



支路电流降低。由于电流镜的镜像作用使得充电电流和放电电流自跟踪降低。

[0075] (3) 0.9V 附近, 反馈控制电路中两个晶体管都进入饱和区, 在这个区间当 Mp3 的栅极电压最高 (相应 Mn3 的栅极电压最低) 时, 充电电流和放电电流最小。

[0076] (4) 0.9 ~ 1.4V, Mp5 处于截止区, 上拉电流镜和下拉电流镜都处于饱和区, 其余晶体管都处于线性区。Mp1-Mp3-Mn5-Mn3-Mn1 形成直流通路 L2, 随着电荷泵输出电压升高, L2 支路电流增加。由于电流镜的镜像作用使得充电电流和放电电流自跟踪增加。

[0077] (5) 1.4 ~ 1.8V, Mp5 始终处于截止区, Mn5 处于线性区, Mp4 从饱和区向线性区转变, Mn3 和 Mp3 处于饱和区, Mn4 处于饱和区, 其余晶体管都处于线性区。Mp1-Mp3-Mn5-Mn3-Mn1 形成直流通路 L3, 随着电荷泵输出电压升高, Mn3 的栅极电压升高 (相应 Mp3 的栅极电压降低) 使得直流通路 L3 电流增加。由于电流镜的镜像作用使得充电电流增加, 放电电流降低 (Mp4 从线性区向饱和区转变)。当电荷泵输出电压为 1.8V 时, Mn3 的栅极电压最高 (相应 Mp3 的栅极电压最低) 使得该直流通路电流最大, 由于电流镜的镜像作用使得充电电流最小, 放电电流最大 (Mp4 处于深度线性区)。

[0078] 图 8 给出了图 2 所示电荷泵锁相环 (CPPLL) 和图 4 传统电荷泵锁相环 (CPPLL) 的建立过程的仿真曲线, 该曲线图的垂直坐标轴和水平坐标轴分别表示以伏特 (V) 为单位的 VCO 控制电压和以秒 (s) 为单位的时间。该曲线可以分析: 提出 CPPLL 建立时间为 4  $\mu$ s, 传统 CPPLL 建立时间为 7  $\mu$ s, 有效缩短了 CPPLL 建立时间。提出 CPPLL 在捕获过程增大环路带宽以减小捕获时间, 在接近锁定过程减小环路带宽以降低带内噪声和毛刺。提出 CPPLL 和传统 CPPLL 锁定在相同控制电压, 对应于相同的环路带宽。由于环路滤波器参数, KVO 和分频比相同, 提出电荷泵的动态变化电流在 CPPLL 锁定时的电流与传统常量电流电荷泵锁相环锁定时电流是一样的。

[0079] 通过上述分析, 充分验证了本发明提出的快速锁定的锁相环的有益效果。

[0080] 以上所述的具体实施例, 对本发明的目的、技术方案和有益效果进行了进一步详细说明, 所应理解的是, 以上所述仅为本发明的具体实施例而已, 并不用于限制本发明, 凡在本发明的精神和原则之内, 所做的任何修改、等同替换、改进等, 均应包含在本发明的保护范围之内。

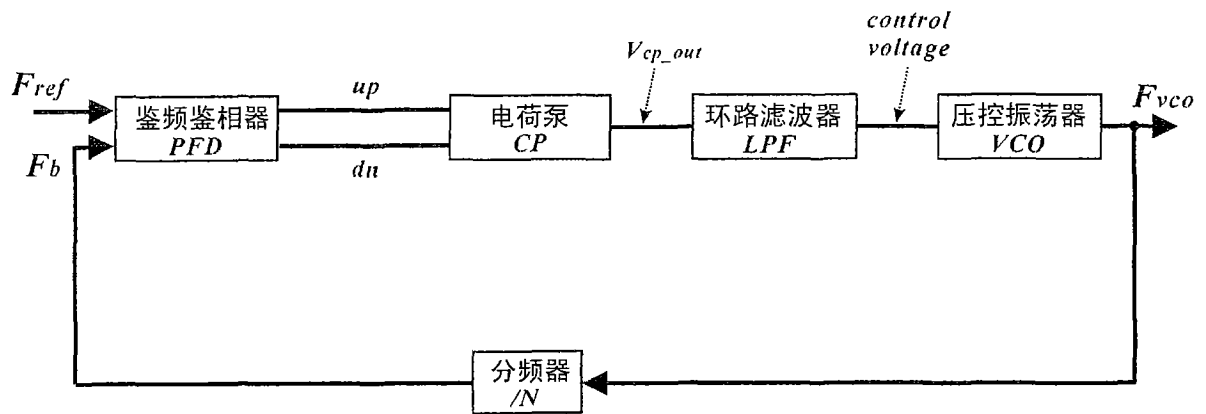


图 1

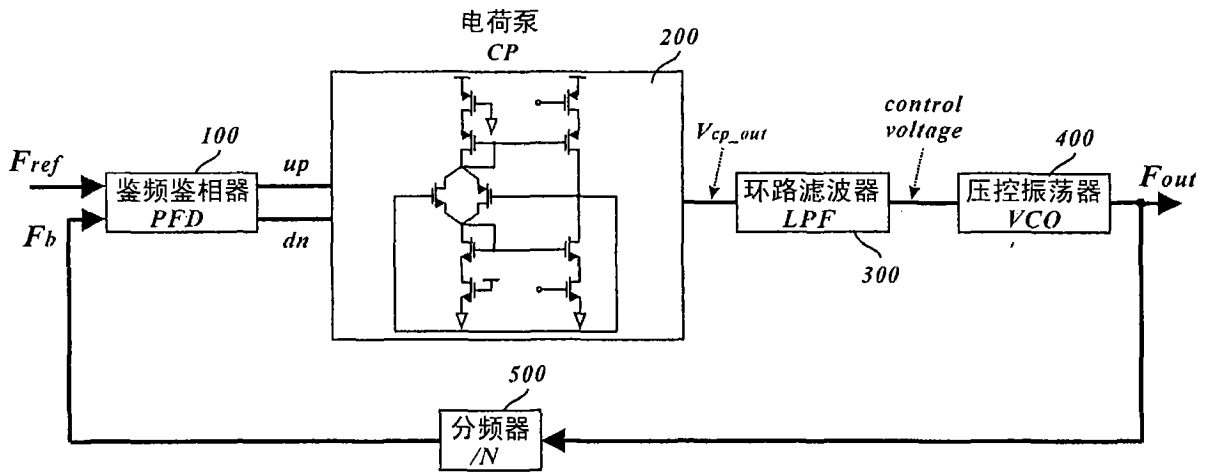


图 2

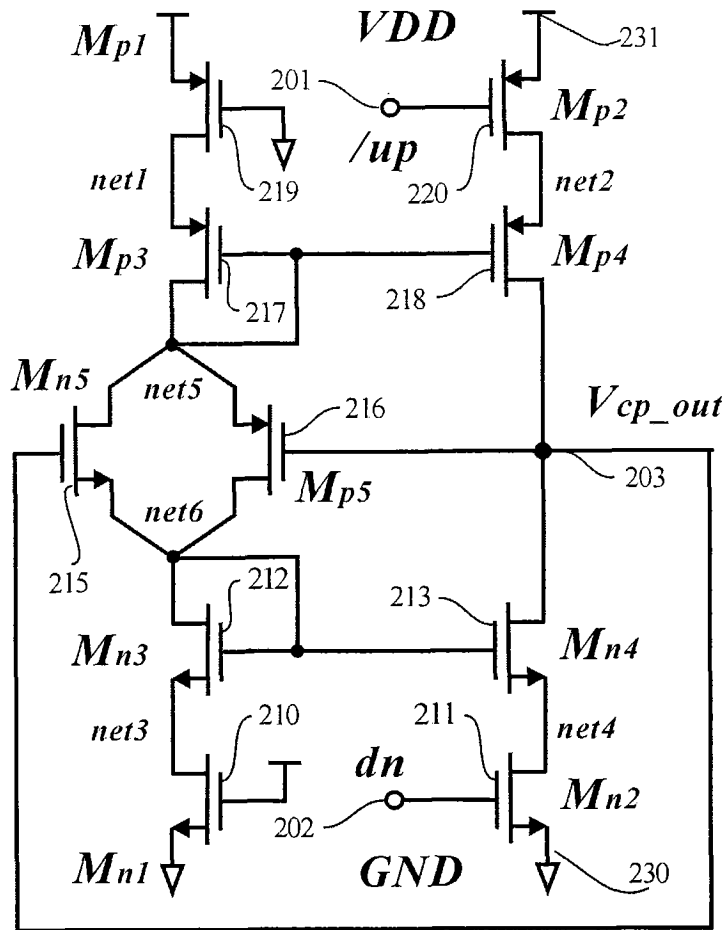


图 3

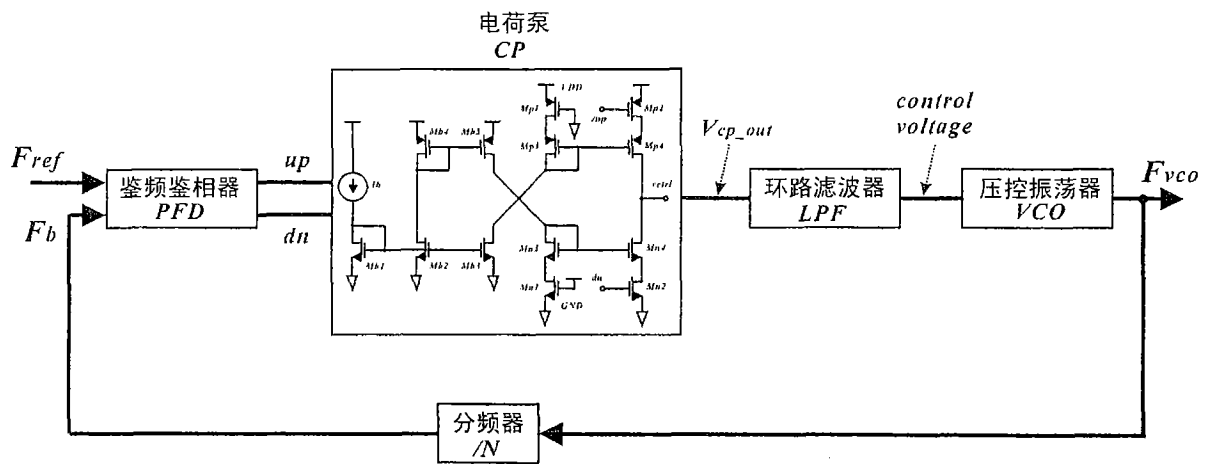


图 4

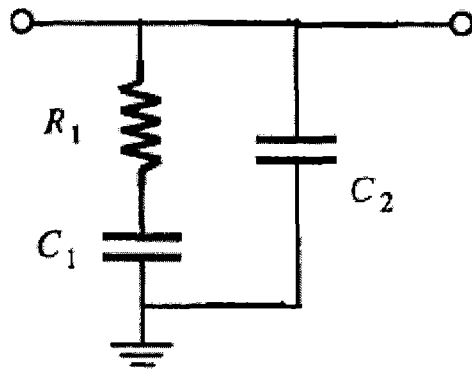


图 5

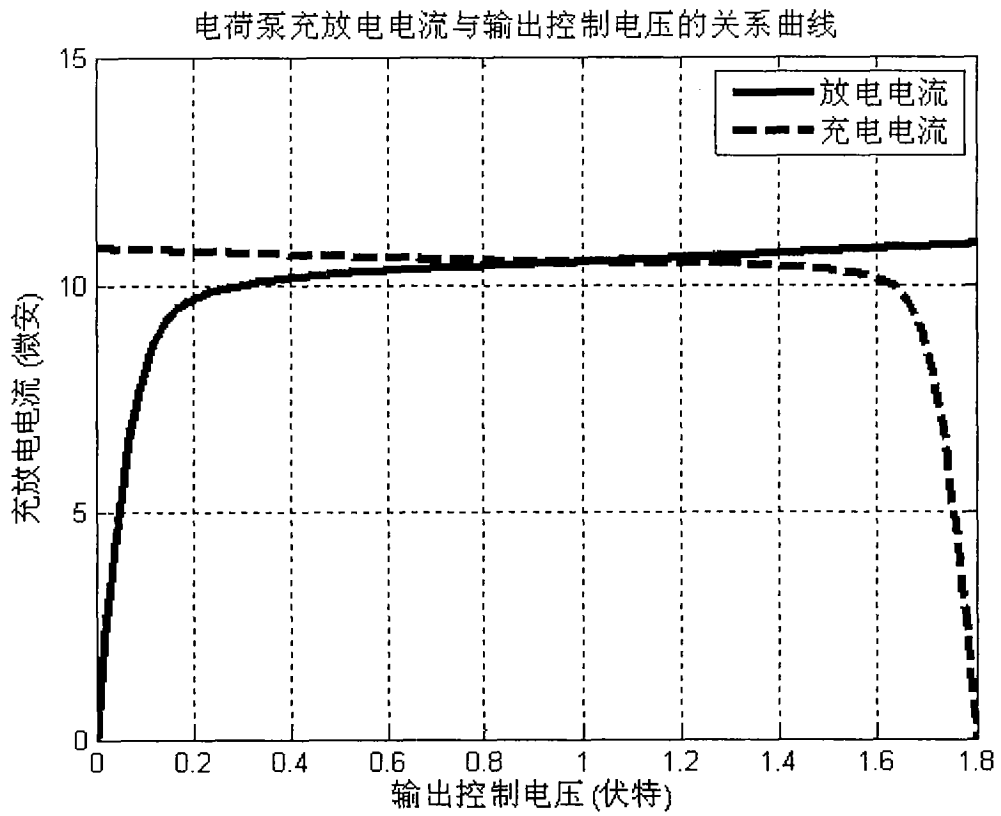


图 6

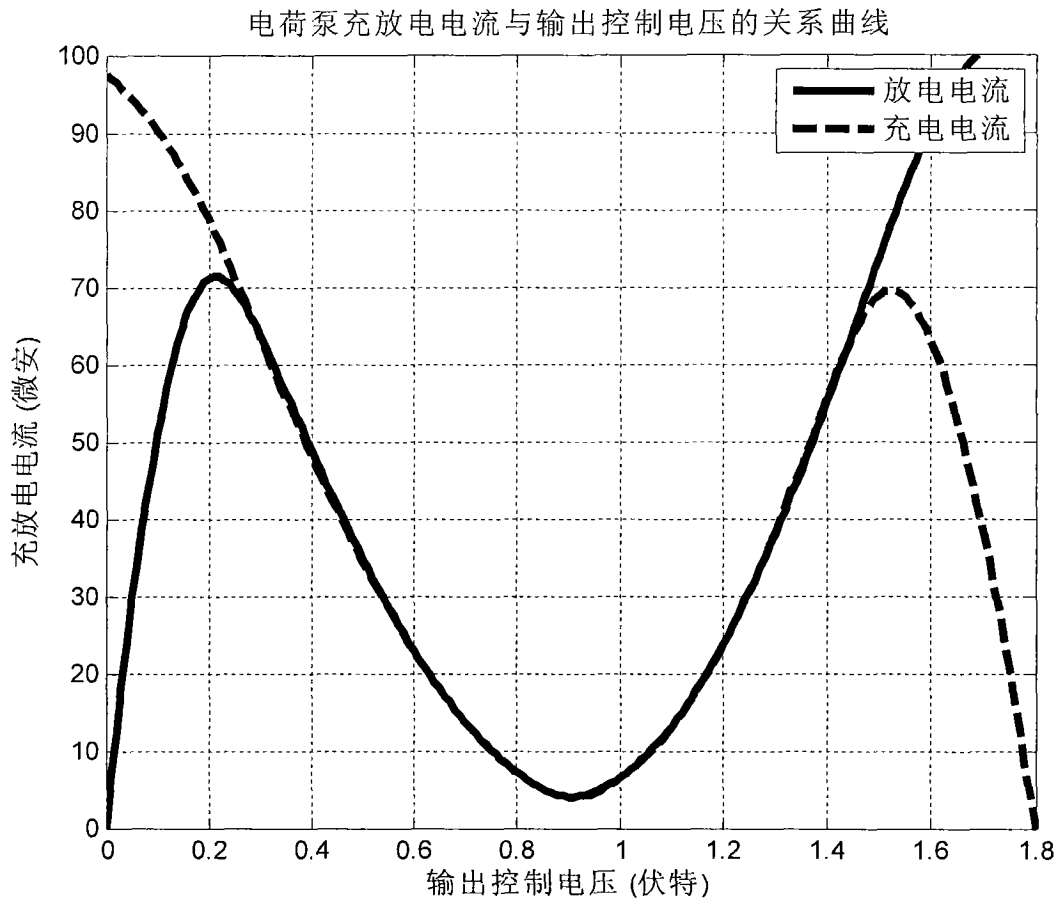


图 7

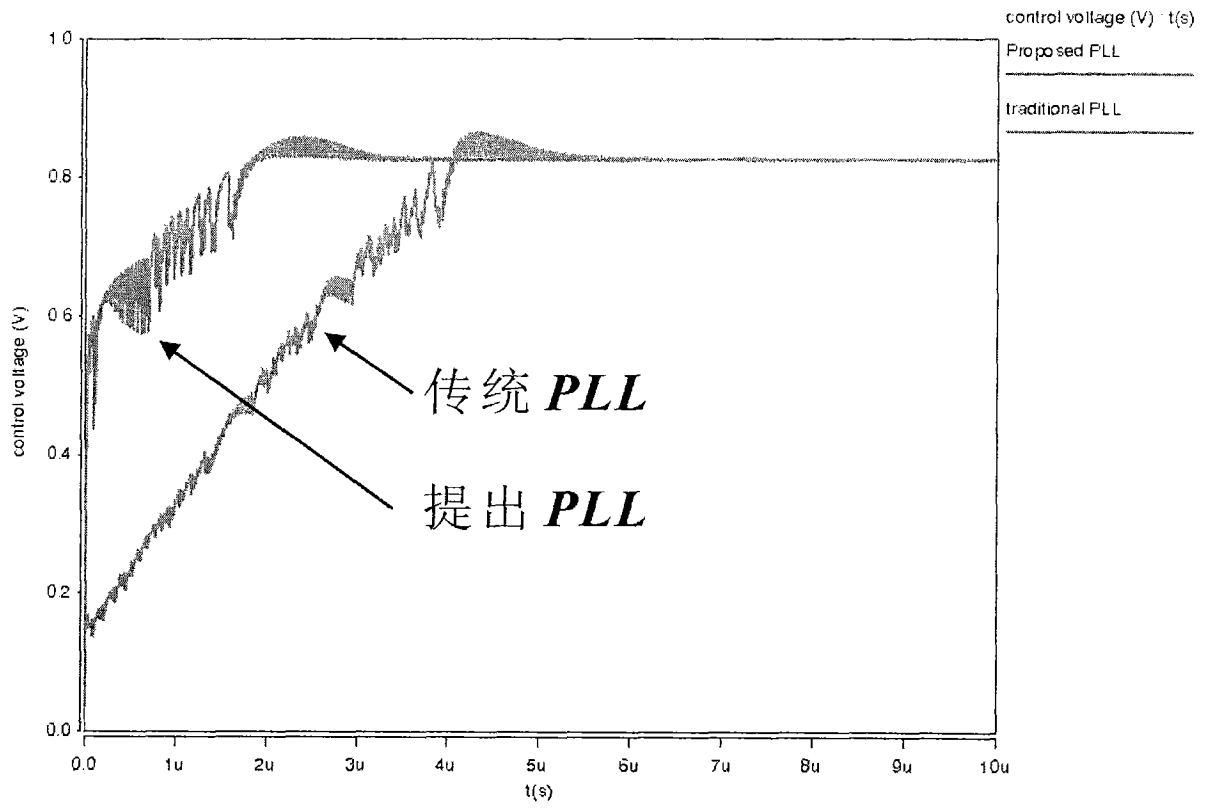


图 8