



(12) 发明专利

(10) 授权公告号 CN 102075163 B

(45) 授权公告日 2013. 05. 01

(21) 申请号 200910238766. 2

电子学》. 2010, 第 40 卷 (第 4 期), 531-534.

(22) 申请日 2009. 11. 24

审查员 田晶

(73) 专利权人 中国科学院微电子研究所  
地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 陈勇 周玉梅

(74) 专利代理机构 中科专利商标代理有限责任  
公司 11021

代理人 周国城

(51) Int. Cl.

H03H 11/04 (2006. 01)

H03H 11/12 (2006. 01)

(56) 对比文件

CN 101425793 A, 2009. 05. 06, 全文.

CN 101425792 A, 2009. 05. 06, 全文.

陈勇等. 1.6 GHz 电荷泵锁相环的设计. 《微

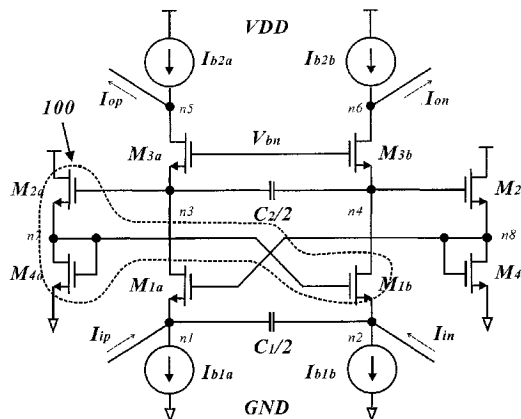
权利要求书2页 说明书7页 附图5页

(54) 发明名称

一种基于共漏极正反馈的双二阶单元

(57) 摘要

本发明公开了一种共漏极正反馈的双二阶单元, 包括第一级电流积分器, 用于接收输入电流信号给电容充电, 提供输出电流信号, 形成第一级电流积分器; 第二级电流积分器, 用于接收第一级电流积分器输出的电流信号给电容充电, 提供输出电流信号, 形成第二级电流积分器; 反馈单元, 用于与第一级电流积分器和第二级电流积分器一起综合复数极点; 电流源, 用于提供双二阶单元的支路电流。本发明提出的共漏极正反馈的双二阶单元, 用于级联设计方法实现高阶模拟滤波器, 具有很高的带外线性度, 同时有效降低了带内噪声, 打破了带内的积分噪声和带外线性度是折中关系, 进而提高了带外 SFDR。



1. 一种基于共漏极正反馈的双二阶单元,其特征在于,包括:

一第一级电流积分器,包括两个 NMOS 晶体管和一个电容,接收输入电流信号给电容充电,提供输出电流信号,形成第一级电流积分器;

一第二级电流积分器,包括两个 NMOS 晶体管和一个电容,接收第一级电流积分器输出的电流信号给电容充电,提供输出电流信号,形成第二级电流积分器;

一反馈单元,包括四个 NMOS 晶体管,用于与第一级电流积分器和第二级电流积分器一起综合复数极点;以及

一电流源,提供双二阶单元的支路电流;

其中,所述第一级电流积分器包括:

NMOS 管 M1a,该管的栅极标记为 n8,漏极标记为 n3,源极标记为 n1,衬底接地电压 GND;

NMOS 管 M1b,该管的栅极标记为 n7,漏极标记为 n4,源极标记为 n2,衬底接地电压 GND;

以及

电容 C1/2,一端接 n1,另一端接 n2;

所述第二级电流积分器包括:

NMOS 管 M3a,该管的栅极标记为 Vbn,漏极标记为 n5,源极接 n3,衬底接地电压 GND;

NMOS 管 M3b,该管的栅极标记为 Vbn,漏极标记为 n6,源极接 n4,衬底接地电压 GND;以

及

电容 C2/2,一端接 n3,另一端接 n4。

2. 根据权利要求 1 所述的基于共漏极正反馈的双二阶单元,其特征在于,所述反馈单元包括:

NMOS 管 M2a,该管的栅极接 n3,漏极接电源电压 VDD,源极接 n7,衬底接地电压 GND;

NMOS 管 M2b,该管的栅极接 n4,漏极接电源电压 VDD,源极接 n8,衬底接地电压 GND;

NMOS 管 M4a,该管的栅极接 n7,漏极接 n7,源极和衬底接地电压 GND;以及

NMOS 管 M4b,该管的栅极接 n8,漏极接 n8,源极和衬底接地电压 GND。

3. 根据权利要求 1 所述的基于共漏极正反馈的双二阶单元,其特征在于,所述电流源包括:

电流源 Ib1a,正端接 n1,负端接地电压 GND;

电流源 Ib1b,正端接 n2,负端接地电压 GND;

电流源 Ib2a,正端接电源电压 VDD,负端接 n5;以及

电流源 Ib2b,正端接电源电压 VDD,负端接 n6。

4. 根据权利要求 1 所述的基于共漏极正反馈的双二阶单元,其特征在于,所述反馈单元与第一级电流积分器和第二级电流积分器一起确定了该双二阶单元中传输函数的复数极点。

5. 根据权利要求 1 所述的基于共漏极正反馈的双二阶单元,其特征在于,该双二阶单元的差分输入电流注入第一级积分器的输入节点 n1 和 n2,该双二阶单元的差分输出电流从第二级积分器的输出节点 n5 和 n6 输出。

6. 根据权利要求 1 所述的基于共漏极正反馈的双二阶单元,其特征在于,该双二阶单元具有带内噪声整形特性,有效降低带内噪声,同时具有高带外线性特性,进而提高带外无杂散动态范围 SFDR。

7. 根据权利要求 1 所述的基于共漏极正反馈的双二阶单元,其特征在于,所述第一级积分器的级间差分电容的值为  $C1/2$ 。

8. 根据权利要求 1 所述的基于共漏极正反馈的双二阶单元,其特征在于,所述第二级积分器的级间差分电容的值为  $C2/2$ 。

## 一种基于共漏极正反馈的双二阶单元

### 技术领域

[0001] 本发明涉及模拟滤波器设计技术领域,尤其涉及一种基于共漏极正反馈的双二阶单元,主要应用在采用级联法设计的高阶模拟滤波器中。

### 背景技术

[0002] 滤波器的概念最早是由美国的 G. Campbell 和德国的 K. Wagner 于 1915 年首先提出的。时至今日,滤波器的理论和技术不断改进创新。滤波其实是一种选频过程,滤波器是一种对输入信号进行特定频率处理从而得到希望输出信号的选频网络。根据输入信号时域特点,滤波器可以分为模拟滤波器和数字滤波器。由于模拟滤波器具有处理速度快、电路结构简单、功耗小等突出特点,使其在各种电子设备中有着广泛的应用。

[0003] 近些年来,随着无线通信技术的飞速发展和 CMOS 工艺技术的不断进步,实现无线通信收发机和数字基带电路系统单芯片的集成是未来发展的必然趋势。模拟滤波器的片上集成是片上系统发展中需要解决的问题。1983 年, Hanu 和 Tsividis 提出了全集成 MOSFET 和电容的有源滤波器,揭开了全集成连续时间滤波器发展的序幕。2000 年以来,随着电路技术不断进步,提出了一些新颖滤波器结构,解决传统滤波器结构的技术问题,实质性地推动滤波器设计技术的进步。比如 Active-Gm-RC 滤波器实现了低功耗闭环特性;基于源极跟随器 (source-follower-based) 滤波器打破了传统有源滤波器设计结构,实现了低功耗高线性度; current-driven-based 滤波器在带内增加零点将带内噪声推移到带外。

[0004] 在无线通信系统中,片上中频连续时间滤波器的性能直接影响整个接收系统的动态特性。片上中频连续时间滤波器的主要性能指标有四个:1) 频率响应,包括通带纹波,阻带衰减等;2) 无杂散动态范围 (spurious free dynamic range, SFDR),包括噪声和线性度;3) 功耗;4) 有源面积。带外 SFDR 用来衡量整个接收系统抗带外干扰的能力。带外 SFDR 可以表示为:

$$[0005] \quad SFDR_{out} = \frac{2}{3} \cdot (IIP3_{out} - Noi_{in}) \quad (1)$$

[0006] 其中,  $Noi_{in}$  表示与输入有关的噪声,  $IIP3_{out}$  表示滤波器带外的线性度。提高带外线性度可以有效抑制滤波器带外强干扰。带内的积分噪声是由滤波器的总电容决定。在提高带外 SFDR 的传统方法中,带内的积分噪声和带外线性度是折中关系。

### 发明内容

[0007] (一) 要解决的技术问题

[0008] 有鉴于此,本发明的主要目的在于提出一种基于共漏极正反馈的双二阶单元,采用共漏极正反馈形成双二阶单元,用于级联设计方法实现高阶模拟滤波器,实现低带内的积分噪声和高带外线性度,打破了带内的积分噪声和带外线性度是折中关系,进而提高了带外 SFDR。

[0009] (二) 技术方案

- [0010] 为了解决上述技术问题,本发明采用的技术方案如下:
- [0011] 一种基于共漏极正反馈的双二阶单元,包括:
- [0012] 一第一级电流积分器,包括两个 NMOS 晶体管和一个电容,接收输入电流信号给电容充电,提供输出电流信号,形成第一级电流积分器;
- [0013] 一第二级电流积分器,包括两个 NMOS 晶体管和一个电容,接收第一级电流积分器输出的电流信号给电容充电,提供输出电流信号,形成第二级电流积分器;
- [0014] 一反馈单元,包括四个 NMOS 晶体管,用于与第一级电流积分器和第二级电流积分器一起综合复数极点;以及
- [0015] 一电流源,提供双二阶单元的支路电流。
- [0016] 上述方案中,所述第一级电流积分器包括:
- [0017] NMOS 管 M1a,该管的栅极标记为 n8,漏极标记为 n3,源极标记为 n1,衬底接地电压 GND;
- [0018] NMOS 管 M1b,该管的栅极标记为 n7,漏极标记为 n4,源极标记为 n2,衬底接地电压 GND;以及
- [0019] 电容 C1/2,一端接 n1,另一端接 n2。
- [0020] 上述方案中,所述第二级电流积分器包括:
- [0021] NMOS 管 M3a,该管的栅极标记为 Vbn,漏极标记为 n5,源极接 n3,衬底接地电压 GND;
- [0022] NMOS 管 M3b,该管的栅极标记为 Vbn,漏极标记为 n6,源极接 n2,衬底接地电压 GND;以及
- [0023] 电容 C2/2,一端接 n3,另一端接 n4。
- [0024] 上述方案中,所述反馈单元包括:
- [0025] NMOS 管 M2a,该管的栅极接 n3,漏极接电源电压 VDD,源极接 n7,衬底接地电压 GND;
- [0026] NMOS 管 M2b,该管的栅极接 n4,漏极接电源电压 VDD,源极接 n8,衬底接地电压 GND;
- [0027] NMOS 管 M4a,该管的栅极接 n8,漏极接 n8,源极和衬底接地电压 GND;以及
- [0028] NMOS 管 M4b,该管的栅极接 n7,漏极接 n7,源极和衬底接地电压 GND。
- [0029] 上述方案中,所述电流源包括:
- [0030] 电流源 Ib1a,正端接 n1,负端接地电压 GND;
- [0031] 电流源 Ib1b,正端接 n2,负端接地电压 GND;
- [0032] 电流源 Ib2a,正端接电源电压 VDD,负端接 n5;以及
- [0033] 电流源 Ib2b,正端接电源电压 VDD,负端接 n6。
- [0034] 上述方案中,所述反馈单元与第一级电流积分器和第二级电流积分器一起确定了该双二阶单元中传输函数的复数极点。
- [0035] 上述方案中,该双二阶单元的差分输入电流注入第一级积分器的输入节点 n1 和 n2,该双二阶单元的差分输出电流从第二级积分器的输出节点 n5 和 n6 输出。
- [0036] 上述方案中,该双二阶单元具有带内噪声整形特性,有效降低带内噪声,同时具有高带外线性特性,进而提高带外 SFDR。

[0037] 上述方案中,所述第一级积分器的级间差分电容的值为  $C1/2$ 。

[0038] 上述方案中,所述第二级积分器的级间差分电容的值为  $C2/2$ 。

[0039] (三)有益效果

[0040] 从上述技术方案可以看出,本发明具有以下有益效果:

[0041] 1、本发明提出的这种共漏极正反馈的双二阶单元,反馈单元与第一级电流积分器和第二级电流积分器一起综合双二阶单元中传输函数的复数极点,因此该单元可以用于级联法设计高阶模拟滤波器。

[0042] 2、本发明提出的这种共漏极正反馈的双二阶单元,具有带内噪声整形特性,将带内噪声推移到带外,有效降低带内噪声。

[0043] 3、本发明提出的这种共漏极正反馈的双二阶单元,具有高的带外线性特性,有效抑制带外强干扰对带内的影响。

[0044] 4、本发明提出的这种共漏极正反馈的双二阶单元,打破了带内的积分噪声和带外线性度是折中关系,进而提高了带外 SFDR。

#### 附图说明

[0045] 通过下述优选实施例结合附图的描述,本发明的上述及其它特征将会变得更加明显,其中:

[0046] 图 1 是一阶电流积分器和噪声整形技术的示意图;

[0047] 图 2 是本发明描述的共漏极正反馈的双二阶单元的一种实施例示意图;

[0048] 图 3 是本发明描述的共漏极正反馈的双二阶单元的另一种实施例示意图;

[0049] 图 4 是本发明提出的双二阶单元级联实现四阶巴特沃斯滤波器示意图;

[0050] 图 5 是采用本发明提出的双二阶单元级联实现四阶巴特沃斯滤波器的幅频曲线;

[0051] 图 6 是图 2 实施例的噪声整形原理图;

[0052] 图 7 是采用本发明提出的双二阶单元级联实现四阶巴特沃斯滤波器的参考噪声密度曲线;

[0053] 图 8 是采用本发明提出的双二阶单元级联实现四阶巴特沃斯滤波器的带外线性度曲线。

#### 具体实施方式

[0054] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明进一步详细说明。

[0055] 图 2 是本发明共漏极正反馈的双二阶单元的一种实施例的示意图。具体的电路描述如下:

[0056] 一种基于共漏极正反馈的双二阶单元,包括:

[0057] 一第一级电流积分器,包括两个 NMOS 晶体管和一个电容,接收输入电流信号给电容充电,提供输出电流信号,形成第一级电流积分器;

[0058] 一第二级电流积分器,包括两个 NMOS 晶体管和一个电容,接收第一级电流积分器输出的电流信号给电容充电,提供输出电流信号,形成第二级电流积分器;

[0059] 一反馈单元,包括四个 NMOS 晶体管,用于与第一级电流积分器和第二级电流积分

器一起综合复数极点；

[0060] 一电流源,提供双二阶单元的支路电流。

[0061] 上述方案中,所述第一级电流积分器包括：

[0062] NMOS 管 M1a,该管的栅极标记为 n8,漏极标记为 n3,源极标记为 n1,衬底接地电压 GND；

[0063] NMOS 管 M1b,该管的栅极标记为 n7,漏极标记为 n4,源极标记为 n2,衬底接地电压 GND；

[0064] 电容 C1/2,一端接 n1,另一端接 n2。

[0065] 上述方案中,所述第二级电流积分器包括：

[0066] NMOS 管 M3a,该管的栅极标记为 Vbn,漏极标记为 n5,源极接 n3,衬底接地电压 GND；

[0067] NMOS 管 M3b,该管的栅极标记为 Vbn,漏极标记为 n6,源极接 n2,衬底接地电压 GND；

[0068] 电容 C2/2,一端接 n3,另一端接 n4。

[0069] 上述方案中,所述反馈单元包括：

[0070] NMOS 管 M2a,该管的栅极接 n3,漏极接电源电压 VDD,源极接 n7,衬底接地电压 GND；

[0071] NMOS 管 M2b,该管的栅极接 n4,漏极接电源电压 VDD,源极接 n8,衬底接地电压 GND；

[0072] NMOS 管 M4a,该管的栅极接 n8,漏极接 n8,源极和衬底接地电压 GND；

[0073] NMOS 管 M4b,该管的栅极接 n7,漏极接 n7,源极和衬底接地电压 GND。

[0074] 上述方案中,所述电流源包括：

[0075] 电流源 Ib1a,正端接 n1,负端接地电压 GND；

[0076] 电流源 Ib1b,正端接 n2,负端接地电压 GND；

[0077] 电流源 Ib2a,正端接电源电压 VDD,负端接 n5；

[0078] 电流源 Ib2b,正端接电源电压 VDD,负端接 n6。

[0079] 上述方案中,所述反馈单元与第一级电流积分器和第二级电流积分器一起确定了该双二阶单元中传输函数的复数极点。

[0080] 上述方案中,该双二阶单元的差分输入电流注入第一级积分器的输入节点 (n1 和 n2),该双二阶单元的差分输出电流从第二级积分器的输出节点 (n5 和 n6) 输出。

[0081] 上述方案中,该双二阶单元具有带内噪声整形特性,有效降低带内噪声,同时具有高带外线性特性,进而提高带外 SFDR。

[0082] 上述方案中,所述第一级积分器的级间差分电容的值为 C1/2,第二级积分器的级间差分电容的值为 C2/2。

[0083] 图 3 是本发明共漏极正反馈的双二阶单元的另一种实施例的示意图。具体的电路描述如下：

[0084] 一种基于共漏极正反馈的双二阶单元,包括：

[0085] 一第一级电流积分器,包括两个 PMOS 晶体管和一个电容,接收输入电流信号给电容充电,提供输出电流信号,形成第一级电流积分器；

[0086] 一第二级电流积分器,包括两个 PMOS 晶体管和一个电容,接收第一级电流积分器输出的电流信号给电容充电,提供输出电流信号,形成第二级电流积分器;

[0087] 一反馈单元,包括四个 PMOS 晶体管,用于与第一级电流积分器和第二级电流积分器一起综合复数极点;

[0088] 一电流源,提供双二阶单元的支路电流。

[0089] 上述方案中,所述第一级电流积分器包括:

[0090] PMOS 管 M1a,该管的栅极标记为 n8,漏极标记为 n3,源极和衬底标记为 n1;

[0091] NMOS 管 M1b,该管的栅极标记为 n7,漏极标记为 n4,源极和衬底标记为 n2;

[0092] 电容 C1/2,一端接 n1,另一端接 n2。

[0093] 上述方案中,所述第二级电流积分器包括:

[0094] PMOS 管 M3a,该管的栅极标记为 Vbn,漏极标记为 n5,源极和衬底接 n3;

[0095] NMOS 管 M3b,该管的栅极标记为 Vbn,漏极标记为 n6,源极和衬底接 n2;

[0096] 电容 C2/2,一端接 n3,另一端接 n4。

[0097] 上述方案中,所述反馈单元包括:

[0098] PMOS 管 M2a,该管的栅极接 n3,漏极接地电压 GND,源极和衬底接 n7;

[0099] PMOS 管 M2b,该管的栅极接 n4,漏极接地电压 GND,源极和衬底接 n8;

[0100] PMOS 管 M4a,该管的栅极接 n8,漏极接 n8,源极和衬底接电源电压 VDD;

[0101] PMOS 管 M4b,该管的栅极接 n7,漏极接 n7,源极和衬底接电源电压 VDD。

[0102] 上述方案中,所述电流源包括:

[0103] 电流源 Ib1a,正端接 n5,负端接地电压 GND;

[0104] 电流源 Ib1b,正端接 n6,负端接地电压 GND;

[0105] 电流源 Ib2a,正端接电源电压 VDD,负端接 n1;

[0106] 电流源 Ib2b,正端接电源电压 VDD,负端接 n2。

[0107] 上述方案中,所述反馈单元与第一级电流积分器和第二级电流积分器一起确定了该双二阶单元中传输函数中复数极点。

[0108] 上述方案中,该双二阶单元的差分输入电流注入第一级积分器的输入节点 (n1 和 n2),该双二阶单元的差分输出电流从第二级积分器的输出节点 (n5 和 n6) 输出。

[0109] 上述方案中,该双二阶单元具有带内噪声整形特性,有效降低带内噪声,同时具有高带外线性特性,进而提高带外 SFDR。

[0110] 上述方案中,所述第一级积分器的级间差分电容的值为 C1/2,第二级积分器的级间差分电容的值为 C2/2。

[0111] 为了更加详细的说明本发明提出的基于共漏极正反馈的双二阶单元如何实现,接下来进行定量分析。

[0112] 图 1 左图为共栅电流积分器,呈现一阶低通滤波器特性。该积分器处理的输入信号和噪声源位置不同,输入电流从晶体管源极进入,晶体管噪声电流并接在晶体管源漏极之间。在带内低频,源极负反馈电容的高阻特性有效降低了滤波器带内的噪声。输入电流和噪声电流通过共栅电流积分器的传输函数如下:

$$[0113] \quad \frac{I_{out,signal}}{I_{signal}} = \frac{1/g_m}{1+s \cdot (C/g_m)} \quad (2)$$



$$[0114] \quad \frac{I_{out,noise}}{I_{noise}} = \frac{s \cdot (C/g_m)}{1 + s \cdot (C/g_m)} \quad (3)$$

[0115] 其中,  $g_m$  是晶体管跨导。由公式 (2)、(3) 可以得到图 1 右图, 共栅电流积分器对输入电流信号呈现一阶低通滤波器特性, 对晶体管噪声电流呈现一阶高通特性。在带内增加零点有效将带内噪声推移到带外高频, 增加带内动态范围。

[0116] 如图 2 所示, 反馈单元与第一、二级积分器一起确定了双二阶单元传输函数中复数极点。忽略输出跨导、晶体管的寄生电容, 并且设 M1a 的跨导为  $g_{m1}$ , M2a 的跨导为  $g_{m2}$ , M3a 的跨导为  $g_{m3}$ , M4a 的跨导为  $g_{m4}$ 。若  $g_{m3} = g_{m1} \cdot g_{m1} / (g_{m1} + g_{m4})$ , 可以得到滤波器传输函数:

$$[0117] \quad H(s) = \frac{\frac{g_{m1} \cdot g_{m3}}{C_1 \cdot C_2}}{s^2 + s \cdot \frac{g_{m1}}{C_1} + \frac{g_{m1} \cdot g_{m3}}{C_1 \cdot C_2}} \quad (4)$$

[0118] 可以得到滤波器特性参数 ( $\omega_0$  是极点特征频率,  $Q$  是品质因数,  $K$  是直流增益) 为:

$$[0119] \quad \omega_0 = 2\pi f_0 = \sqrt{\frac{g_{m1} \cdot g_{m3}}{C_1 \cdot C_2}} \quad (5)$$

$$[0120] \quad Q = \sqrt{\frac{C_1 \cdot g_{m3}}{C_2 \cdot g_{m1}}} \quad (6)$$

$$[0121] \quad K = 1 \quad (7)$$

[0122] 采用级联设计方法, 将两个本发明提出的图 2 和图 3 中的双二阶单元级联实现四阶巴特沃斯滤波器, 如图 4 所示, 输入采用电阻 ( $R1$ ) 实现电压 - 电流转换, 输出采用电阻 ( $R2$ ) 实现电流 - 电压转换。采用 SMIC (Semiconductor Manufacturing International Corporation 中芯国际集成电路制造有限公司) CMOS 0.18  $\mu\text{m}$  混合信号工艺仿真图 4 中四阶巴特沃斯滤波器, 以验证本发明的正确性。图 5 中描述的曲线是图 4 中采用本发明提出的双二阶单元级联实现四阶巴特沃斯滤波器的幅频曲线, 该曲线图的垂直坐标轴和水平坐标轴分别表示以分贝 (dB) 为单位的幅度特性和相应的频率 (Hz)。从该曲线可知道: (1) 实现了公式 (1) 的传输特性, 进而验证了反馈单元与第一、二级积分器一起确定了双二阶单元传输函数中复数极点。-3dB 带宽为 4.5MHz。 (2) 从公式 (7) 中可以指出图 2 中的双二阶单元具有理想直流增益 0dB, 通过设定  $R2 / (2 \cdot R1)$  不同比值, 调整图 4 中实现的四阶巴特沃斯滤波器的直流增益, 图 5 中给出直流增益为 15.6dB。

[0123] 图 2 所示的双二阶单元的噪声贡献主要包括: M3 晶体管的沟道噪声 ( $\overline{I_{noise\_M2}^2}$ )、100 单元 (包括 M1、M2、M4 晶体管) 的沟道噪声 ( $\overline{I_{noise\_100}^2}$ )、偏置电路的沟道噪声 ( $\overline{I_{noise\_bias}^2}$ ) 和所有有源器件的  $1/f$  噪声 ( $\overline{I_{noise\_1/f}^2}$ )。首先, 分析 M3 晶体管的噪声贡献。主要考虑 MOS 晶体管的沟道噪声电流, 对于工作在饱和区的长沟道 MOS 器件的沟道噪声可以用一个连接在漏源两端的电流源来模拟, 其谱密度为:

$$[0124] \quad \frac{i_n^2}{\Delta f} = \frac{2}{3} \cdot 4kT \cdot g_m \quad (8)$$

[0125] 通过噪声小信号模型, 可以得到 M3 晶体管的噪声到输出噪声的传输函数为:

$$[0126] \quad H_{M2}(f) = \frac{sC_2}{sC_2 + g_{m2}} \quad (9)$$

[0127] 公式 (9) 呈现高通特性, 如图 4 所示  $I_{noise\_M3} \sim \omega$  曲线。反馈单元的噪声等效到 M1 的漏源极之间与 M1 的沟道噪声叠加在一起为 100 单元的噪声  $\overline{I_{noise\_100}^2}$ 。通过噪声小信号模型, 可以得到 100 单元的噪声到输出噪声的传输函数为:

$$[0128] \quad H_{100}(f) = \frac{s \cdot \frac{g_{m3}}{C_1}}{s^2 + s \cdot \frac{g_{m1}}{C_1} + \frac{g_{m1}g_{m3}}{C_1C_2}} \quad (10)$$

[0129] 公式 (10) 呈现带通特性, 如图 4 所示  $I_{noise\_100} \sim \omega$  曲线。偏置电路噪声 ( $\overline{I_{noise\_bias}^2}$ ) 主要形成带内噪声, 而所有有源器件的  $1/f$  噪声 ( $\overline{I_{noise\_1/f}^2}$ ) 决定带内低频噪声。因此, 总的输出噪声为:

$$[0130] \quad \overline{I_{noise\_total}^2} = \overline{I_{noise\_M3}^2} \cdot |H_{M3}(f)|^2 + \overline{I_{noise\_100}^2} \cdot |H_{100}(f)|^2 + \overline{I_{noise\_bias}^2} + \overline{I_{noise\_1/f}^2} \quad (11)$$

[0131] 如图 4 所示总的输出噪声  $\sim \omega$  曲线。

[0132] 图 7 为输出噪声, 在 1.5MHz 处带内噪声最小由偏置电路噪声决定, 300KHz 以下主要是  $1/f$  噪声, 在低通滤波器 -3dB 频率 4.5MHz 处出现噪声峰值。图 7 中噪声仿真结果与图 6 中理论分析结果一致。输入参考噪声电压为 42.6  $\mu$ Vrms (噪声积分带宽从 10KHz 到 4.5MHz)。带外线性度用三阶交调失真 (IIP3) 表示, 在带外输入双音信号频率分别为 22MHz 和 42MHz, 仿真结果为 28dBV, 如图 8 所示。带外无杂散动态范围 (SFDR) 为 67.8dB。

[0133] 上述详细的理论分析和设计仿真充分验证了提出双二阶单元的低通滤波器传输特性和噪声整形原理, 具有很高的带外线性度, 同时有效降低了带内噪声, 打破了带内的积分噪声和带外线性度是折中关系, 进而提高了带外 SFDR。

[0134] 以上所述的具体实施例, 对本发明的目的、技术方案和有益效果进行了进一步详细说明, 所应理解的是, 以上所述仅为本发明的具体实施例而已, 并不用于限制本发明, 凡在本发明的精神和原则之内, 所做的任何修改、等同替换、改进等, 均应包含在本发明的保护范围之内。

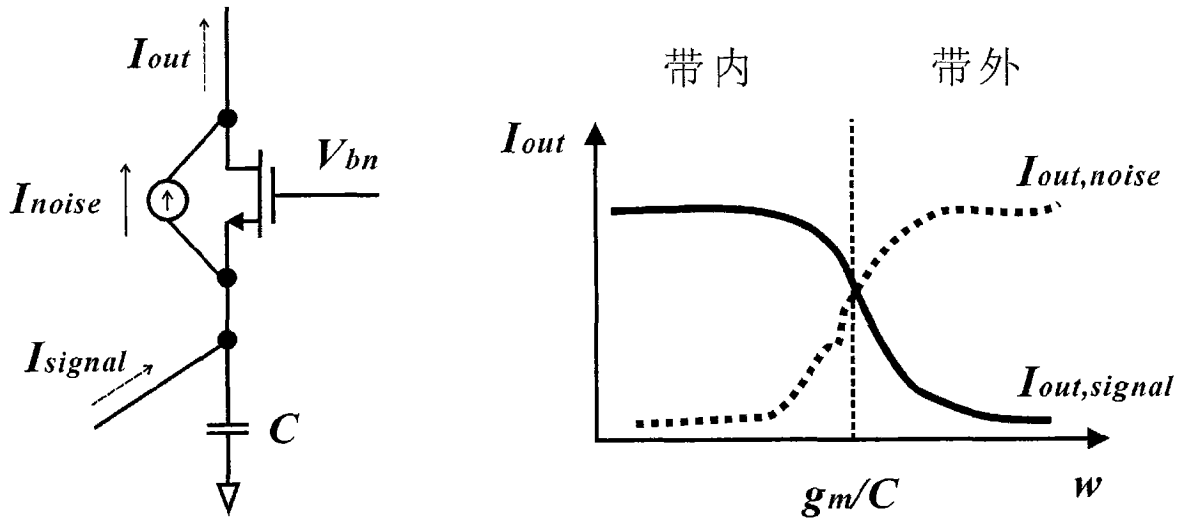


图 1

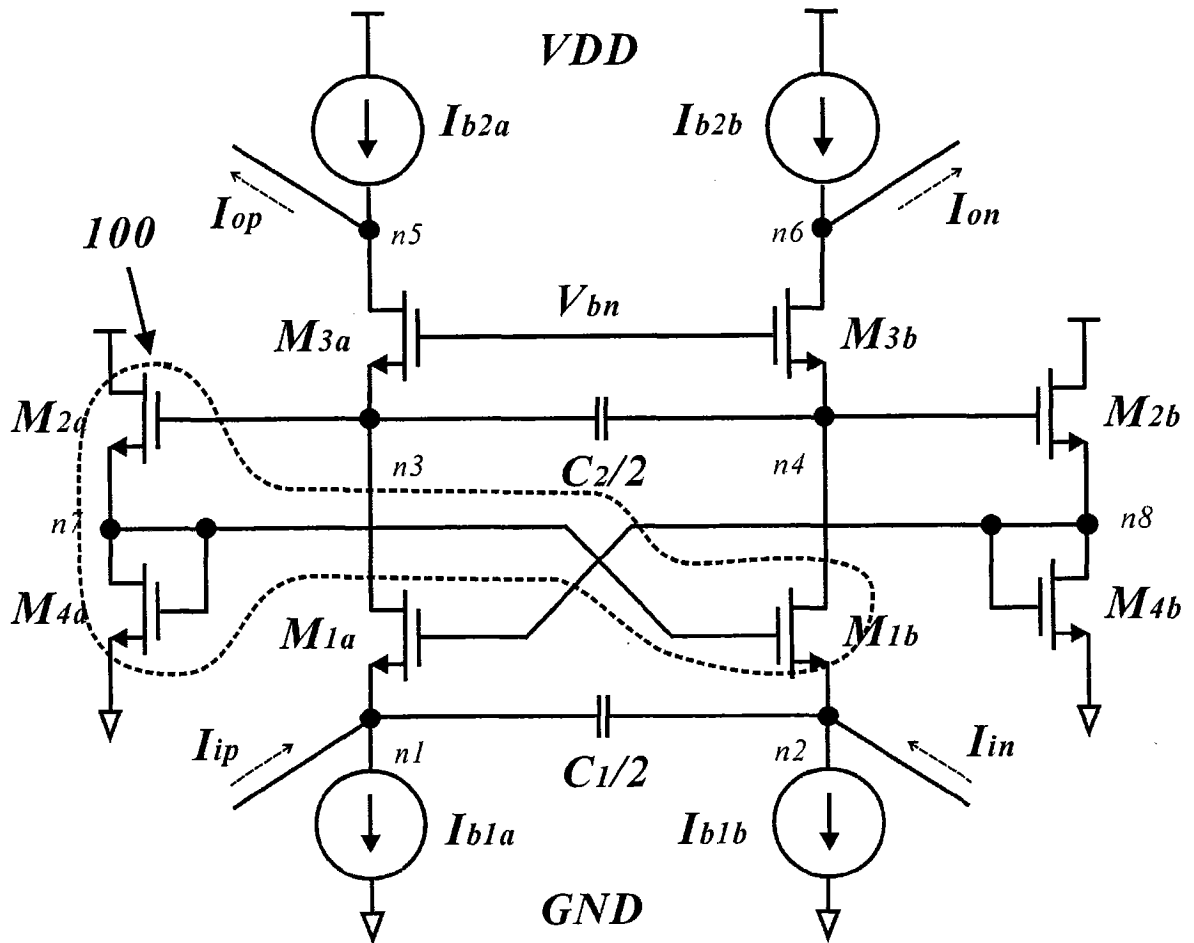


图 2

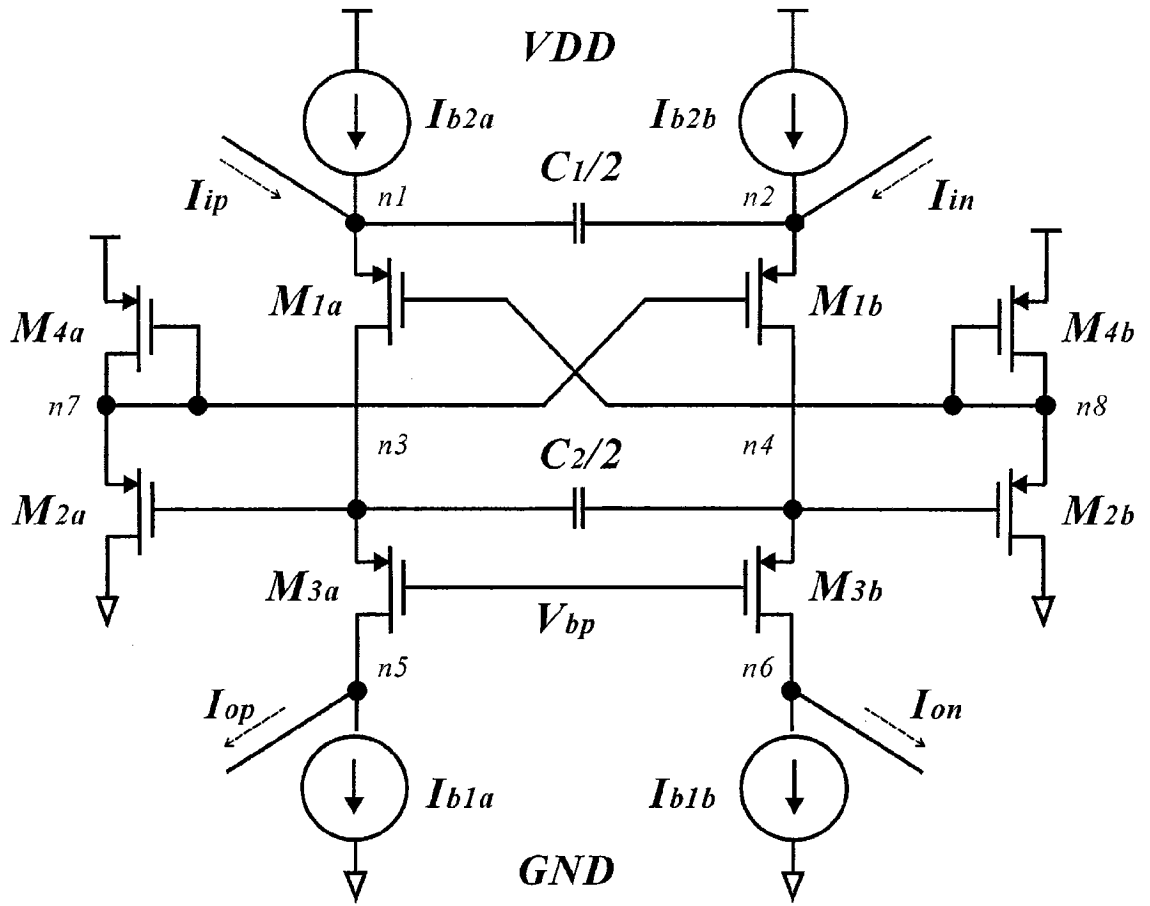


图 3

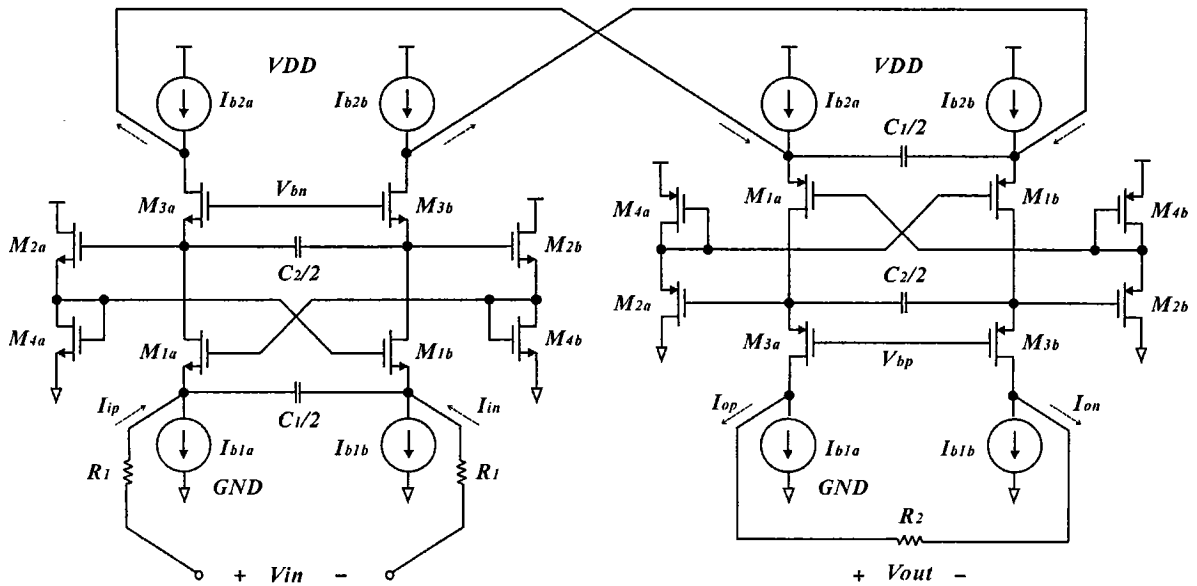


图 4

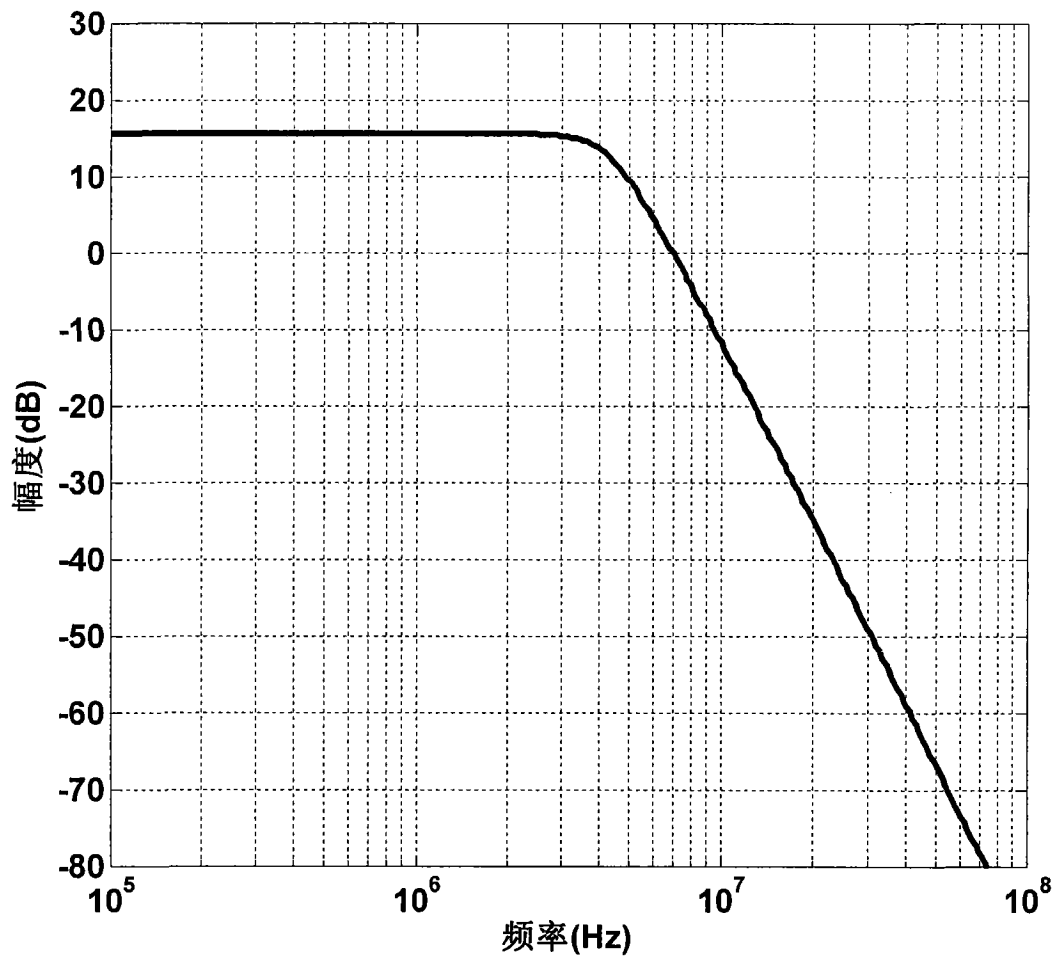


图 5

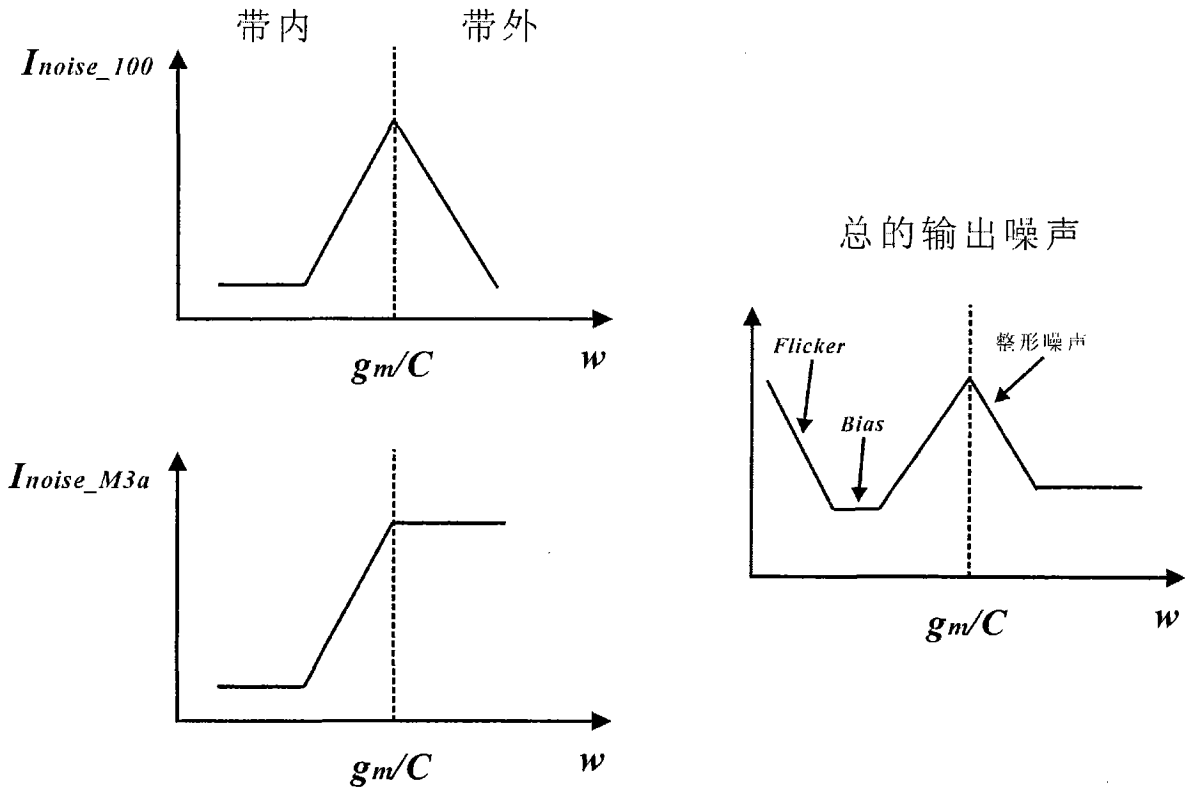


图 6

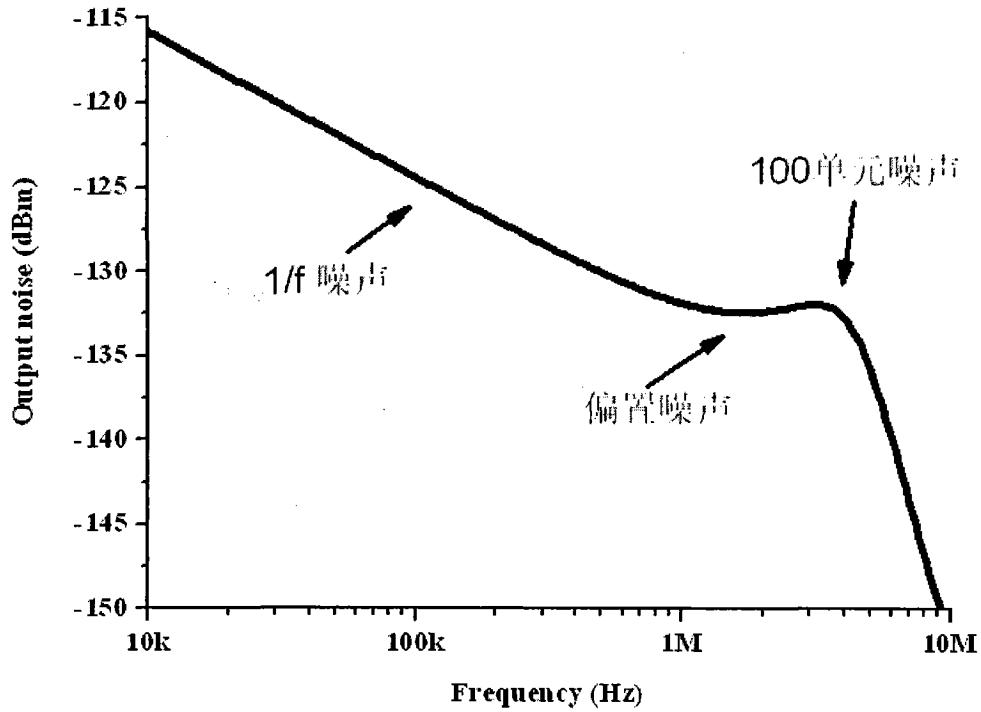


图 7

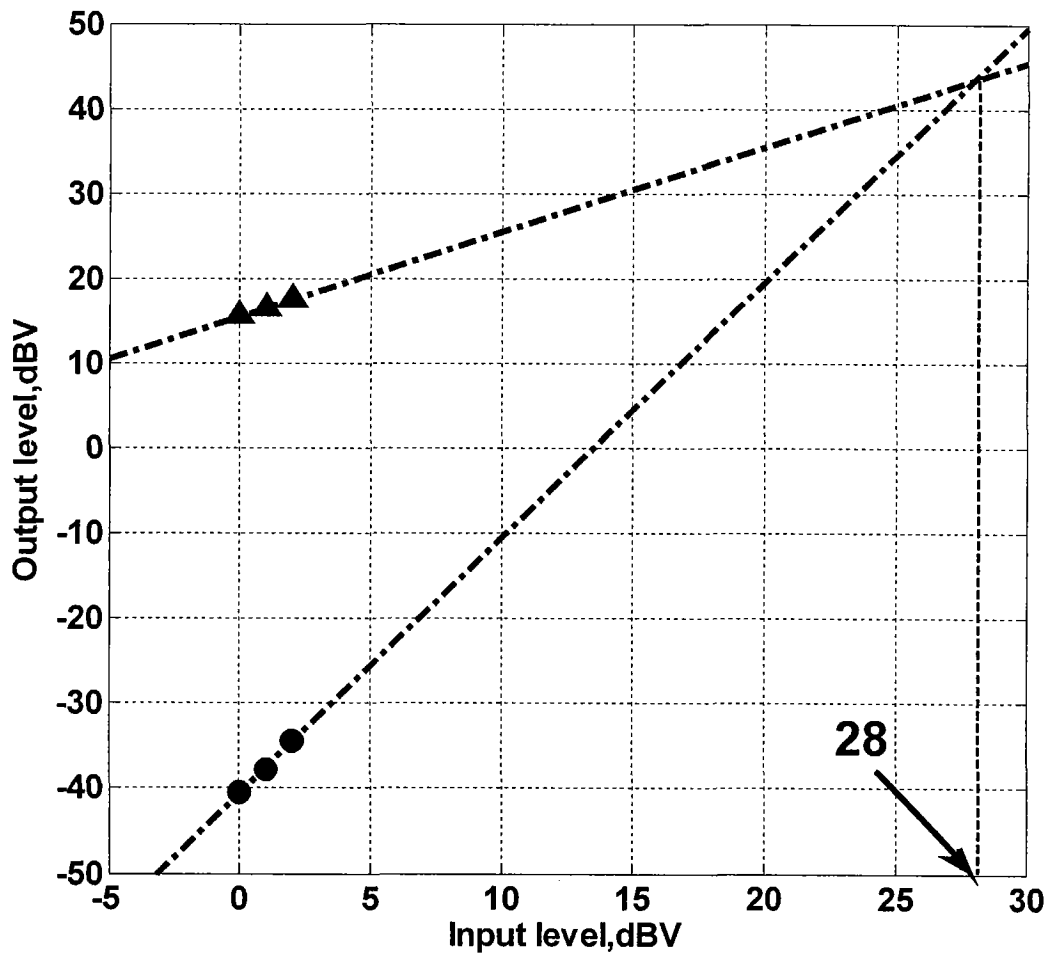


图 8