



(12) 发明专利

(10) 授权公告号 CN 102142829 B

(45) 授权公告日 2013. 07. 24

(21) 申请号 201110046906. 3

(22) 申请日 2011. 02. 25

(73) 专利权人 清华大学

地址 100084 北京市海淀区清华园 1 号

(72) 发明人 陈勇 杨佳乐 张莉 王燕 钱鹤

(74) 专利代理机构 北京清亦华知识产权代理事

务所(普通合伙) 11201

代理人 廖元秋

(51) Int. Cl.

H03H 11/02(2006. 01)

H03H 11/04(2006. 01)

(56) 对比文件

CN 1312613 A, 2001. 09. 12, 全文.

US 2008/0204171 A1, 2008. 08. 28, 全文.

Bram Nauta 等. A CMOS Transconductance-C Filter Technique for Very High

Frequencies. 《IEEE JOURNAL OF SOLID-STATE CIRCUITS》. 1992, 第 27 卷(第 2 期), 142-153.

审查员 陈沙沙

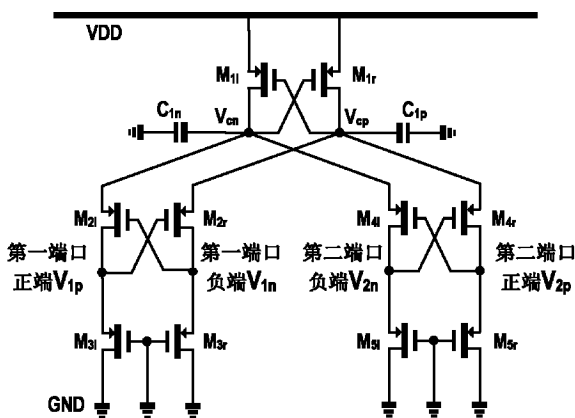
权利要求书1页 说明书5页 附图3页

(54) 发明名称

一种基于正反馈的悬浮差分有源电感

(57) 摘要

本发明涉及一种基于正反馈的悬浮差分有源电感,属于有源电感设计技术领域。包括:第一电容和第二电容,用于产生电感;差分阻抗变换器,用于将第一电容和第二电容变换成基于正反馈的悬浮差分的有源电感;还包括:正跨导稳定器,用于对上述差分阻抗变换器的负阻抗进行补偿;负跨导抵消器,用于抵消有源电感的串联阻抗;本发明的基于正反馈的悬浮差分有源电感,采用电流复用技术,电路内部噪声小和高线性特性;其高低品质因数(Q)变化设计简单。且可用少量晶体管实现,结构简单;可用于替换悬浮差分无源电感,以用于电感替代法设计有源滤波器。



1. 一种基于正反馈的悬浮差分有源电感,包括:

第一电容 C_{1p} 和第二电容 C_{1n} ,用于产生电感;

差分阻抗变换器,用于将第一电容和第二电容变换成基于正反馈的悬浮差分的有源电感;其特征在于:还包括:

正跨导稳定器,用于对上述差分阻抗变换器的负阻抗进行补偿;

负跨导抵消器,用于抵消有源电感的串联阻抗;

其中,第一电容和第二电容的正极端相连,第一电容和第二电容的负极端接地;差分阻抗变换器的两个输入端、负跨导抵消器的输出端分别与第一电容和第二电容的正极端相连;负跨导抵消器的输入端与电源相连;正跨导稳定器的输入端与差分阻抗变换器的两个输出端相连,正跨导稳定器的输出端接地;差分阻抗变换器的两个输出端作为基于正反馈的悬浮差分有源电感的两个端口;

所述差分阻抗变换器,由第一 PMOS 管、第二 PMOS 管、第三 PMOS 管和第四 PMOS 管组成;第一 PMOS 管的栅极与第二 PMOS 管的漏极相连,第一 PMOS 管的漏极与第二 PMOS 管的栅极相连;第三 PMOS 管的栅极与第四 PMOS 管的漏极相连,第三 PMOS 管的漏极与第四 PMOS 管的栅极相连;第一电容和第二电容,用于产生电感,第一电容的正极同时与所述第二 PMOS 管的源极和所述第四 PMOS 管的源极相连,第一电容的负极接地;第二电容的正极同时与所述第一 PMOS 管的源极和所述第三 PMOS 管的源极相连,第二电容的负极接地;

所述正跨导稳定器,由第五 PMOS 管、第六 PMOS 管、第七 PMOS 管和第八 PMOS 管组成;第五 PMOS 管的栅极和漏极同时接地;第五 PMOS 管的源极同时与所述的第一 PMOS 管的漏极和第二 PMOS 管的栅极相连;第六 PMOS 管的栅极和漏极同时接地;第六 PMOS 管的源极同时与所述第一 PMOS 管的栅极和所述第二 PMOS 管的漏极相连;第七 PMOS 管的栅极和漏极同时接地;第七 PMOS 管的源极同时与所述第三 PMOS 管的漏极和第四 PMOS 管的栅极相连;第八 PMOS 管的栅极和漏极同时接地;第八 PMOS 管的源极同时与所述第三 PMOS 管的栅极和第四 PMOS 管的漏极相连;

所述负跨导抵消器,由第九 PMOS 管和第十 PMOS 管组成;第九 PMOS 管的栅极同时与所述第二 PMOS 管的源极和第四 PMOS 管的源极相连;第九 PMOS 管的漏极同时与所述第一 PMOS 管的源极、所述第三 PMOS 管的源极和第二电容的负极相连;第九 PMOS 管的源极接电源;第十 PMOS 管的栅极同时与所述第一 PMOS 管的源极和第三 PMOS 管的源极相连;第十 PMOS 管的漏极同时与所述第二 PMOS 管的源极、第四 PMOS 管的源极和第一电容的负极相连;第十 PMOS 管的漏极与电源相连;

所述第一 PMOS 管的漏极、第二 PMOS 管的栅极和第五 PMOS 管的源极相连节点成为悬浮差分有源电感的第一端口正端,所述第一 PMOS 管的栅极、第二 PMOS 管的漏极和第六 PMOS 管的源极相连节点成为悬浮差分有源电感的第一端口负端;所述第三 PMOS 管的漏极、第四 PMOS 管的栅极和第七 PMOS 管的源极相连节点成为悬浮差分有源电感的第二端口负端,所述第三 PMOS 管的栅极、第四 PMOS 管的漏极和第八 PMOS 管的源极相连节点成为悬浮差分有源电感的第二端口正端;

所述第一 PMOS 管、第二 PMOS 管、第三 PMOS 管、第四 PMOS 管、第五 PMOS 管、第六 PMOS 管、第七 PMOS 管、第八 PMOS 管、第九 PMOS 管、第十 PMOS 管的源极和衬底各自相连。

一种基于正反馈的悬浮差分有源电感

技术领域

[0001] 本发明涉及一种基于正反馈的悬浮差分有源电感,属于有源电感设计技术领域。

背景技术

[0002] 滤波器是各种通信系统中必不可少的模块,例如射频收发机中的中频滤波器。图 1(a) 中给出了一种三阶基于电感电容梯形滤波器 (LC Ladder Filter) 的单端结构,其中无源电感 L_2 两端 V_1 和 V_2 可以是同相的,这时无源电感是悬浮单端连接方式。图 1(b) 给出了图 1(a) 对应的差分结构,主要是因为差分结构有利于改善线性度和抑制共模噪声。图 1(b) 虚线框描述了一种悬浮差分连接的无源电感 L_2 ,其第一端口和第二端口之间悬浮连接,每个端口又是差分结构,第一端口正端和第一端口负端对应 V_{1p} 和 V_{1n} ,第二端口正端和第二端口负端对应 V_{2p} 和 V_{2n} ,这时无源电感是悬浮差分连接方式。

[0003] 在硅基工艺上,无源电感通常是在硅基衬底上形成的金属螺旋电感。螺旋电感虽然结构简单,但是占用较大的芯片面积,受到硅基衬底损耗和导体损耗的影响使得螺旋电感的品质因数和自谐振频率都很低。而有源电感因为占用芯片面积小、高品质因数等特点更受青睐。有源电感的实现主要采用有源晶体管和电容组合起来实现有源电感特性。目前,采用基于负反馈的阻抗变换器和电容组合起来实现有源电感。图 2 给出了一种已有的基于负反馈的悬浮差分有源电感,主要由基于负反馈的差分阻抗变换器(如图中虚线框内所示)和两个电容 C_{1p} 、 C_{1n} 组成。基于负反馈的差分阻抗变换器主要由四个跨导单元 (G_{m1} 、 $-G_{m2}$ 、 $-G_{m1}$ 和 G_{m2}) 组成,每个跨导单元都是 Nauta 差分跨导 (Bram Nauta, "A CMOS Transconductance-C Filter Technique for Very High Frequencies" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 27, NO. 2, FEBRUARY 1992), 如图 3 所示。图 3 中的正跨导由四个晶体管组成;负跨导用于提高直流增益;二极管连接的四个晶体管用于确定输出共模电压。即使仅考虑四个晶体管构成的正跨导,图 2 所示的基于负反馈的悬浮差分有源电感需要 16 个晶体管,加之其他考虑所需晶体管数目,通常基于负反馈的悬浮全差分有源电感需要十个以上晶体管,使得传统悬浮差分有源电感设计复杂,同时基于负反馈的悬浮差分有源电感的高低品质因数 (Q) 变化设计复杂。图 2 所示的基于负反馈的悬浮差分有源电感还存在电路内部噪声大和低线性特性的问题。

发明内容

[0004] 本发明的目的是为克服已有技术的不足之处,提出一种基于正反馈的悬浮差分有源电感,本发明采用电流复用技术,晶体管用量少,结构简单;电路内部噪声小和高线性特性;其高低品质因数 (Q) 变化设计简单。可用于替换悬浮差分无源电感,以用于电感替代法设计有源滤波器。

[0005] 本发明所述的基于正反馈的悬浮差分有源电感,包括:

[0006] 第一电容和第二电容,用于产生电感;

[0007] 差分阻抗变换器,用于将第一电容和第二电容变换成基于正反馈的悬浮差分的有

源电感 ;其特征在於 :还包括 :

[0008] 正跨导稳定器,用于对上述差分阻抗变换器的负阻抗进行补偿 ;

[0009] 负跨导抵消器,用于抵消有源电感的串联阻抗 ;

[0010] 其中,第一电容和第二电容的正极端相连,第一电容和第二电容的负极端接地 ;差分阻抗变换器的两个输入端、负跨导抵消器的输出端分别与第一电容和第二电容的正极端相连 ;负跨导抵消器的输入端与电源相连 ;正跨导稳定器的输入端与差分阻抗变换器的两个输出端相连,正跨导稳定器的输出端接地 ;差分阻抗变换器的两个输出端作为基于正反馈的悬浮差分有源电感的两个端口。

[0011] 所述差分阻抗变换器,可由第一 PMOS 管、第二 PMOS 管、第三 PMOS 管和第四 PMOS 管组成 ;第一 PMOS 管的栅极与第二 PMOS 管的漏极相连,第一 PMOS 管的漏极与第二 PMOS 管的栅极相连 ;第三 PMOS 管的栅极与第四 PMOS 管的漏极相连,第三 PMOS 管的漏极与第四 PMOS 管的栅极相连 ;第一电容和第二电容,用于产生电感,第一电容的正极同时与上述第二 PMOS 管的源极和上述第四 PMOS 管的源极相连,第一电容的负极接地 ;第二电容的正极同时与上述第一 PMOS 管的源极和上述第三 PMOS 管的源极相连,第二电容的负极接地 ;

[0012] 所述正跨导稳定器,可由第五 PMOS 管、第六 PMOS 管、第七 PMOS 管和第八 PMOS 管组成 ;第五 PMOS 管的栅极和漏极同时接地 ;第五 PMOS 管的源极同时与上述的第一 PMOS 管的漏极和第二 PMOS 管的栅极相连 ;第六 PMOS 管的栅极和漏极同时接地 ;第六 PMOS 管的源极同时与上述第一 PMOS 管的栅极和上述第二 PMOS 管的漏极相连 ;第七 PMOS 管的栅极和漏极同时接地 ;第七 PMOS 管的源极同时与上述第三 PMOS 管的漏极和第四 PMOS 管的栅极相连 ;第八 PMOS 管的栅极和漏极同时接地 ;第八 PMOS 管的源极同时与上述第三 PMOS 管的栅极和第四 PMOS 管的漏极相连 ;

[0013] 所述负跨导抵消器,可由第九 PMOS 管和第十 PMOS 管组成 ;第九 PMOS 管的栅极同时与上述第二 PMOS 管的源极和第四 PMOS 管的源极相连 ;第九 PMOS 管的漏极同时与上述第一 PMOS 管的源极、上述第三 PMOS 管的源极和第二电容的负极相连 ;第九 PMOS 管的源极接电源 ;第十 PMOS 管的栅极同时与上述第一 PMOS 管的源极和第三 PMOS 管的源极相连 ;第十 PMOS 管的漏极同时与上述第二 PMOS 管的源极、第四 PMOS 管的源极和第一电容的负极相连 ;第十 PMOS 管的漏极与电源相连 ;

[0014] 上述第一 PMOS 管的漏极、第二 PMOS 管的栅极和第五 PMOS 管的源极相连节点成为悬浮差分有源电感的第一端口正端,上述第一 PMOS 管的栅极、第二 PMOS 管的漏极和第六 PMOS 管的源极相连节点成为悬浮差分有源电感的第一端口负端 ;上述第三 PMOS 管的漏极、第四 PMOS 管的栅极和第七 PMOS 管的源极相连节点成为悬浮差分有源电感的第二端口负端,上述第三 PMOS 管的栅极、第四 PMOS 管的漏极和第八 PMOS 管的源极相连节点成为悬浮差分有源电感的第二端口正端。

[0015] 上述第一 PMOS 管、第二 PMOS 管、第三 PMOS 管、第四 PMOS 管、第五 PMOS 管、第六 PMOS 管、第七 PMOS 管、第八 PMOS 管、第九 PMOS 管、第十 PMOS 管的源极和衬底各自相连。

[0016] 本发明的特点及效果 :

[0017] 本发明所述的基于正反馈的悬浮差分有源电感,采用电流复用技术,由两个电容、差分阻抗变换器、正跨导稳定器和负跨导抵消器四部分组成。本发明所述的基于正反馈的悬浮差分有源电感具有电路内部噪声小和高线性特性的特点。通过调整负跨导抵消器和正

跨导稳定器中晶体管的尺寸,本发明所述的基于正反馈的悬浮差分有源电感实现了改变有源电感的串联阻抗和并联阻抗,进而改变基于正反馈的悬浮差分有源电感的品质因数。因此,本发明所述的基于正反馈的悬浮差分有源电感的品质因数(Q)的变化实现简单。

[0018] 此外,本发明的差分阻抗变换器、正跨导稳定器和负跨导抵消器均可由少量晶体管实现,结构简单,易于设计。

附图说明

[0019] 图 1 是已有的三阶基于电感电容梯形滤波器的单端结构 (a) 和差分结构 (b) 的示意图。

[0020] 图 2 是已有的基于负反馈的悬浮差分电感的示意图。

[0021] 图 3 是图 2 所示已有的基于负反馈的悬浮差分电感中的差分跨导示意图。

[0022] 图 4 是本发明提出的基于正反馈的悬浮差分有源电感结构示意图。

[0023] 图 5 是采用本发明的悬浮差分有源电感的电感值随频率变化曲线图。

[0024] 图 6 是采用本发明的悬浮差分有源电感的不同品质因数(Q)随频率变化曲线图。

具体实施方式

[0025] 本发明的基于正反馈的悬浮差分有源电感结合附图及实施例详细说明如下:

[0026] 本发明的基于正反馈的悬浮差分有源电感,包括:

[0027] 第一电容和第二电容,用于产生电感;

[0028] 差分阻抗变换器,用于将第一电容和第二电容变换成基于正反馈的悬浮差分的有源电感;其特征在于:还包括:

[0029] 正跨导稳定器,用于对上述差分阻抗变换器的负阻抗进行补偿,解决了有源电感的稳定性问题;

[0030] 负跨导抵消器,用于抵消有源电感的串联阻抗;

[0031] 其中,第一电容和第二电容的正极端相连,第一电容和第二电容的负极端接地;差分阻抗变换器的两个输入端、负跨导抵消器的输出端分别与第一电容和第二电容的正极端相连;负跨导抵消器的输入端与电源相连;正跨导稳定器的输入端与差分阻抗变换器的两个输出端相连,正跨导稳定器的输出端接地;差分阻抗变换器的两个输出端作为基于正反馈的悬浮差分有源电感的两个端口。

[0032] 本发明的实施例结构如图 4 所示,由两个电容、差分阻抗变换器、正跨导稳定器和负跨导抵消器四部分组成。各部分的具体组成及连接关系分别说明如下:

[0033] 第一电容 C_{1p} 和第二电容 C_{1n} ,均采用集成电容。

[0034] 差分阻抗变换器:由第一 PMOS 管 M_{2l} 、第二 PMOS 管 M_{2r} 、第三 PMOS 管 M_{4l} 和第四 PMOS 管 M_{4r} 、组成;第一 PMOS 管 M_{2l} 的栅极与第二 PMOS 管 M_{2r} 的漏极相连,第一 PMOS 管 M_{2l} 的漏极与第二 PMOS 管 M_{2r} 的栅极相连;第三 PMOS 管 M_{4l} 的栅极与第四 PMOS 管 M_{4r} 的漏极相连,第三 PMOS 管 M_{4l} 的漏极与第四 PMOS 管 M_{4r} 的栅极相连;第一电容 C_{1p} 的正极同时与上述第二 PMOS 管 M_{2r} 的源极和上述第四 PMOS 管 M_{4r} 的源极相连,第一电容 C_{1p} 的负极接地 GND;第二电容 C_{1n} 的正极同时与上述第一 PMOS 管 M_{2l} 的源极和上述第三 PMOS 管 M_{4l} 的源极相连,第二电容 C_{1n} 的负极接地 GND;

[0035] 正跨导稳定器：由第五 PMOS 管 M_{31} 、第六 PMOS 管 M_{3r} 、第七 PMOS 管 M_{51} 和第八 PMOS 管 M_{5r} 组成；第五 PMOS 管 M_{31} 的栅极和漏极同时接地；第五 PMOS 管 M_{31} 的源极同时与上述的第一 PMOS 管 M_{21} 的漏极和第二 PMOS 管 M_{2r} 的栅极相连；第六 PMOS 管 M_{3r} 的栅极和漏极同时接地；第六 PMOS 管 M_{3r} 的源极同时与上述第一 PMOS 管 M_{21} 的栅极和上述第二 PMOS 管 M_{2r} 的漏极相连；第七 PMOS 管 M_{51} 的栅极和漏极同时接地；第七 PMOS 管 M_{51} 的源极同时与上述第三 PMOS 管 M_{41} 的漏极和第四 PMOS 管 M_{4r} 的栅极相连；第八 PMOS 管 M_{5r} 的栅极和漏极同时接地；第八 PMOS 管 M_{5r} 的源极同时与上述第三 PMOS 管 M_{41} 的栅极和第四 PMOS 管 M_{4r} 的漏极相连；

[0036] 负跨导抵消器：由第九 PMOS 管 M_{11} 和第十 PMOS 管 M_{1r} 组成；第九 PMOS 管 M_{11} 的栅极同时与上述第二 PMOS 管 M_{2r} 的源极和第四 PMOS 管 M_{4r} 的源极相连；第九 PMOS 管 M_{11} 的漏极同时与上述第一 PMOS 管 M_{21} 的源极、上述第三 PMOS 管 M_{41} 的源极和第二电容 C_{1n} 的负极相连；第九 PMOS 管 M_{11} 的源极接电源 VDD；第十 PMOS 管 M_{1r} 的栅极同时与上述第一 PMOS 管 M_{21} 的源极和第三 PMOS 管 M_{41} 的源极相连；第十 PMOS 管 M_{1r} 的漏极同时与上述第二 PMOS 管 M_{2r} 的源极、第四 PMOS 管 M_{4r} 的源极和第一电容 C_{1p} 的负极相连；第十 PMOS 管 M_{1r} 的漏极与电源 VDD 相连；

[0037] 上述第一 PMOS 管 M_{21} 的漏极、第二 PMOS 管 M_{2r} 的栅极和第五 PMOS 管 M_{31} 的源极相连节点成为悬浮差分有源电感的第一端口正端 V_{1p} ，上述第一 PMOS 管 M_{21} 的栅极、第二 PMOS 管 M_{2r} 的漏极和第六 PMOS 管 M_{3r} 的源极相连节点成为悬浮差分有源电感的第一端口负端 V_{1n} ；上述第三 PMOS 管 M_{41} 的漏极、第四 PMOS 管 M_{4r} 的栅极和第七 PMOS 管 M_{51} 的源极相连节点成为悬浮差分有源电感的第二端口负端 V_{2n} ，上述第三 PMOS 管 M_{41} 的栅极、第四 PMOS 管 M_{4r} 的漏极和第八 PMOS 管 M_{5r} 的源极相连节点成为悬浮差分有源电感的第二端口正端 (V_{2p})。

[0038] 上述第一 PMOS 管 M_{21} 、第二 PMOS 管 M_{2r} 、第三 PMOS 管 M_{41} 、第四 PMOS 管 M_{4r} 、第五 PMOS 管 M_{31} 、第六 PMOS 管 M_{3r} 、第七 PMOS 管 M_{51} 、第八 PMOS 管 M_{5r} 、第九 PMOS 管 M_{11} 、第十 PMOS 管 M_{1r} 的源极和衬底各自相连。

[0039] 本实施例中，两对交叉连接的 PMOS 晶体管构成的基于正反馈的差分阻抗变换器仅由四个晶体管构成，加之用于补偿阻抗变换器中的负阻抗和抵消有源电感的串联损耗所需晶体管，总共用了十个晶体管，结构简单，易于设计。

[0040] 以下介绍对本发明所述的基于正反馈的悬浮差分有源电感进行仿真验证的结果：

[0041] 基于正反馈的悬浮差分有源电感的核心部分由两对交叉连接的 PMOS 晶体管构成的基于正反馈的差分阻抗变换器和两个电容组成。而正跨导稳定器补偿了阻抗变换器的负阻抗，解决了本发明所述的基于正反馈的悬浮差分有源电感的稳定性问题。负跨导抵消器抵消了该有源电感中的并联阻抗。忽略晶体管的输出跨导和寄生电容，并设 (M_{31} 、 M_{3r}) 和 (M_{51} 、 M_{5r}) 的跨导为 G_m ，设 (M_{21} 、 M_{2r}) 和 (M_{41} 、 M_{4r}) 的跨导为 G_m ，设 (M_{11} 、 M_{1r}) 的跨导为 $2*G_m$ ， V_{cp} 和 V_{cn} 两节点连接电容都是 C 。可以得到所述的基于正反馈的悬浮差分有源电感 L_{AI} 为：

$$[0042] \quad L_{AI} = \frac{C}{G_m^2} \quad (1)$$

[0043] 图 4 所示的本发明所述的基于正反馈的悬浮差分有源电感采用 CMOS 130nm 工艺进行设计，以验证本发明的正确性。图 4 所示的基于正反馈的悬浮差分有源电感参数设定：

V_{cp} 和 V_{cn} 两节点连接电容都是 228.4 飞法 (fF); 本发明所述的悬浮差分有源电感的跨导值设定如表 1 第四组数值。可由公式 (1) 计算得到等效电感值为 6.87uH, 这里计算得到的电感值不包括随频率变化的信息。图 5 中描述的曲线是图 4 中的基于正反馈的悬浮差分有源电感的电感值随频率变化的曲线, 该曲线图的垂直坐标轴和水平坐标轴分别表示以毫亨 (mH) 为单位的电感值和相应的频率 (Hz)。从该曲线可知道:

[0044] (1) 在 70MHz-300MHz 之间电感值平坦, 在 163.3MHz 处, 电感值为 6.97uH, 与计算值吻合。

[0045] (2) 该悬浮差分有源电感的自谐振频率为 347.4MHz。考虑晶体管的输出跨导, 表 1 中第四组跨导分配只是抵消了晶体管的跨导, 这时候有源电感的品质因数受限于有源电感的并联阻抗 (第一端口和第二端口) 和串联阻抗 (V_{cp} 和 V_{cn}) (有关有源电感的并联阻抗和串联阻抗可参考 2008 年 spring 出版社的 CMOS Active Inductors and Transformers Principle, Implementation, and Applications)。

[0046] 图 6 中实线描述了对应表 1 中对应的第四组跨导分配的品质因数 $Q = 4.25$ 。

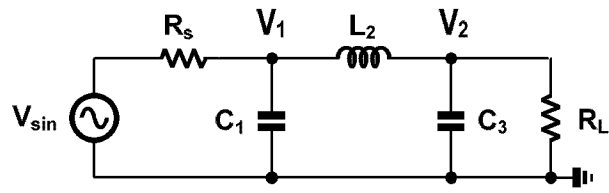
[0047] 对表 1 中第四组、第二组和第一组的负跨导抵消器中的跨导不断增加, 提出的悬浮差分有源电感的品质因素不断增加, Q 值从 4.25 变化到 26。主要是由于负跨导抵消器中的跨导增加可以抵消有源电感的串联损耗, 有效提高有源电感的品质因数。相对表 1 中第四组跨导, 第三组中的正跨导稳定器中的跨导值增加有效降低了有源电感的并联损耗, 品质因数从 4.25 增加到 8.1。上述数据有效地说明了可以通过改变负跨导抵消器或正跨导稳定器中的跨导来灵活改变本发明所述的悬浮差分有源电感的品质因数。

[0048] 本发明所述的基于正反馈的悬浮差分有源电感还可以将图 4 中的全部 PMOS 晶体管替换成全部 NMOS 晶体管, 或者全部的 NPN 双极管, 或者全部的 PNP 双极管。以上所述的具体实施例, 对本发明的目的、技术方案和有益效果进行了进一步详细说明, 所应理解的是, 以上所述仅为本发明的具体实施例而已, 并不用于限制本发明, 凡在本发明的精神和原则之内, 所做的任何修改、等同替换、改进等, 均应包含在本发明的保护范围之内。

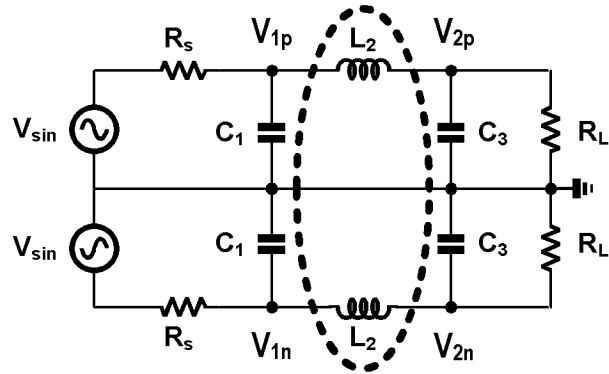
[0049] 表 1: 图 4 中晶体管跨导值和仿真得到的品质因素 (Q)

[0050]

晶体管	$M_{3l}, M_{3r}, M_{5l}, M_{5r}$	$M_{2l}, M_{2r}, M_{4l}, M_{4r}$	M_{1l}, M_{1r}	品质因素 (Q)
1 跨导值	185.5uS	185.5uS	396.5uS	26
2 跨导值	185.0uS	185.0uS	391.3uS	12
3 跨导值	178.3uS	181.5uS	362.9uS	8.1
4 跨导值	182.3uS	182.3uS	364.6uS	4.25



(a)



(b)

图 1

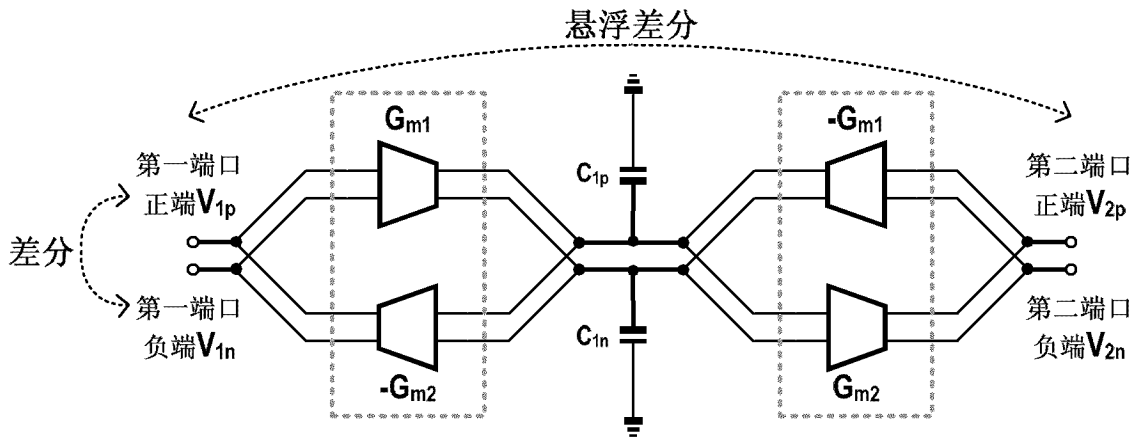


图 2

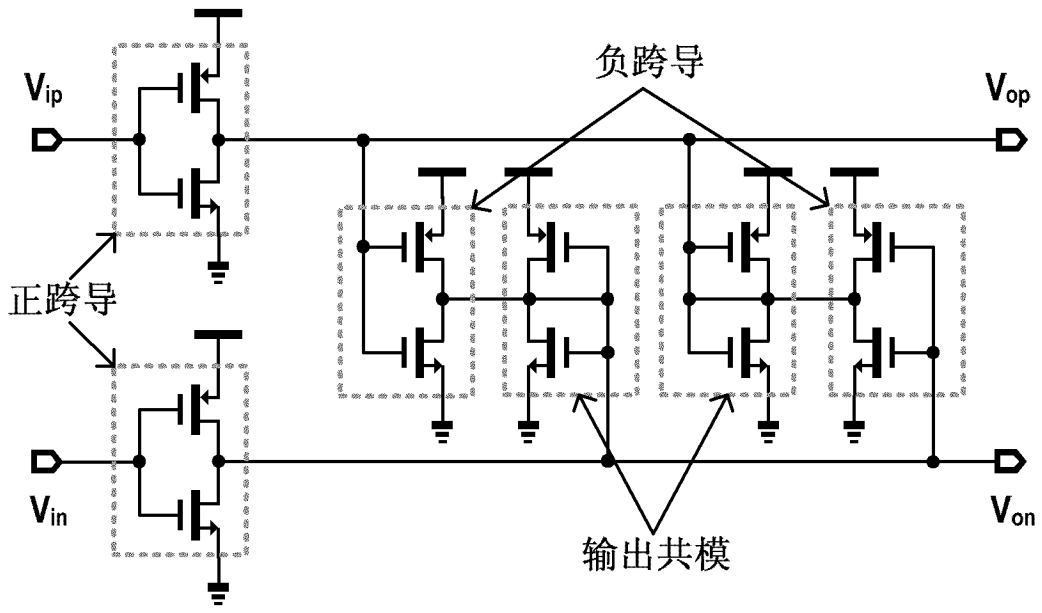


图 3

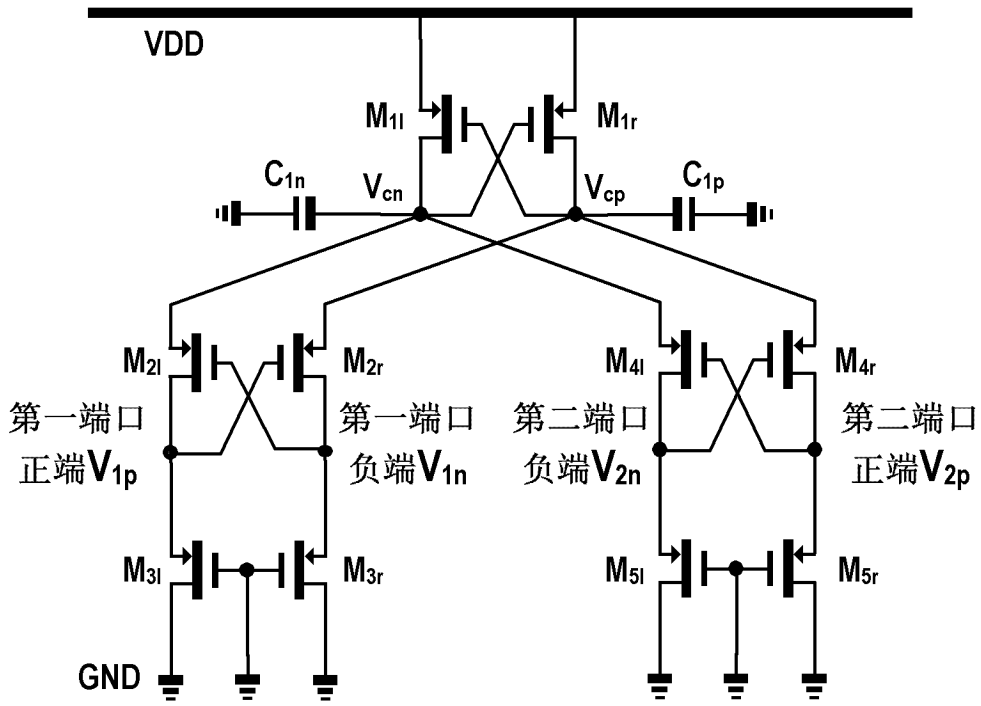


图 4

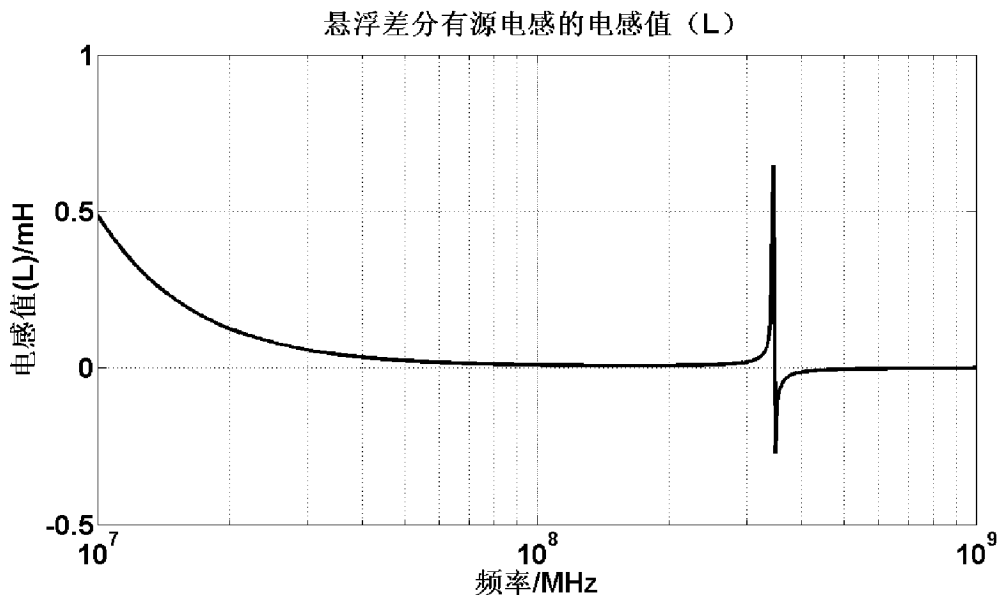


图 5

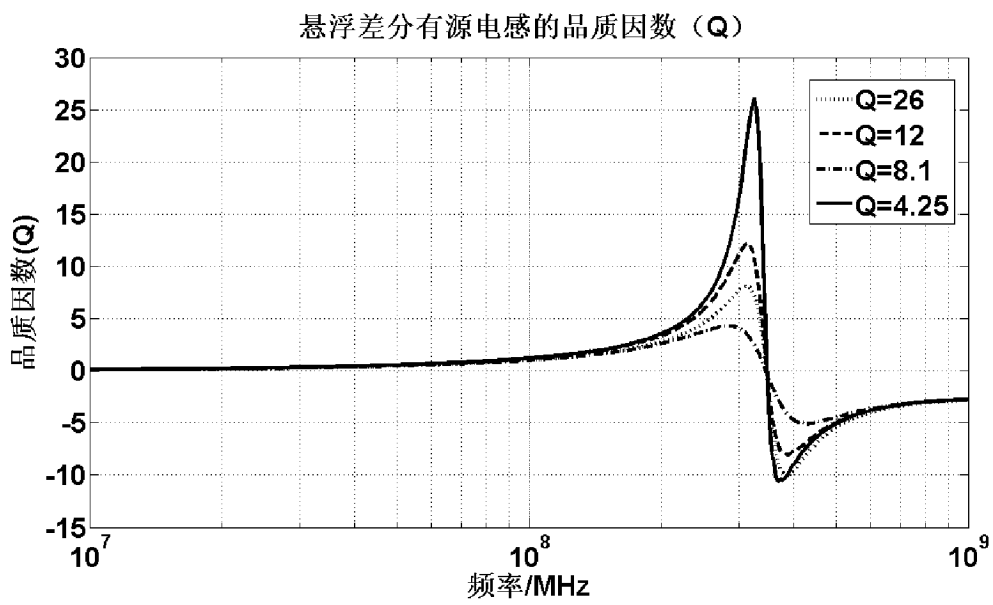


图 6